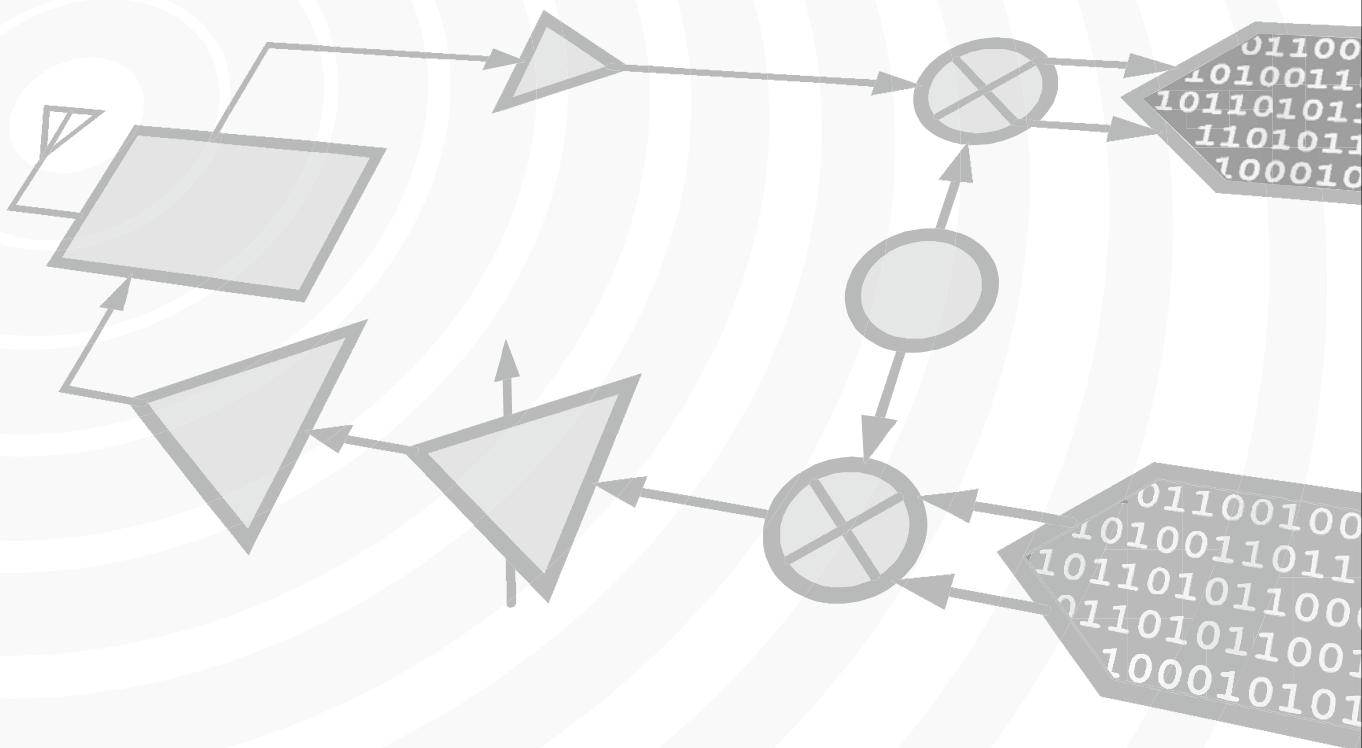


ADI公司欢迎 Hittite Microwave公司

所附文档的内容未做任何更改



本页空白

典型应用

HMC1044LP3E非常适合宽带收发器谐波滤波应用, 包括:

- 滤除LO谐波以降低调制器边带抑制和解调器镜像抑制要求
- 放大器谐波滤波
- RF滤波

产品特性

可编程带宽: 1至3 GHz

兼容窄带和宽带:

- 集成VCO的PLL
- 调制器
- 解调器

LO谐波抑制: 约20 dB

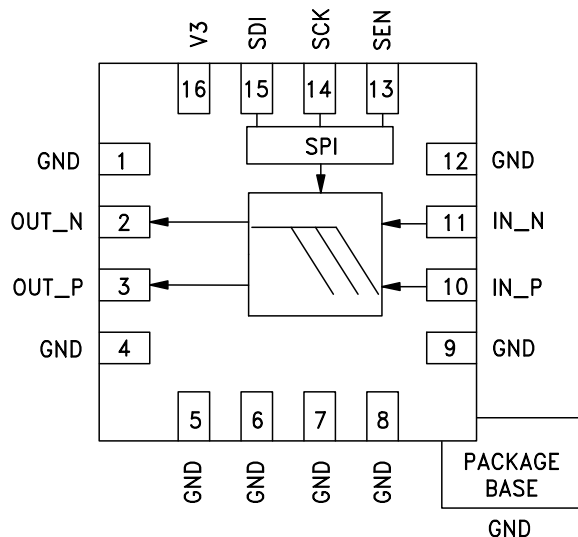
改善调制器/解调器边带/镜像抑制性能: 20 dB (典型值)

单端或差分选项

尺寸比目前的分立式固定带宽解决方案缩小最多90%

16引脚3×3 mm SMT封装

功能框图



概述

HMC1044LP3E是一款可编程带宽LPF(低通滤波器), 适合所有采用正交调制器和/或解调器的应用。HMC1044LP3E可滤除LO谐波, 从而确保LO对调制器边带抑制或解调器镜像抑制性能的影响非常小或为零。

虽然HMC1044LP3E针对的是LO滤波应用, 但它也可用于滤除所有RF谐波, 如放大器产生的谐波。

HMC1044LP3E提供16种可编程频段选择, 针对频段范围为1至3 GHz的高低蜂窝频段进行优化, 是一款与集成VCO、宽带正交调制器和解调器的宽带PLL兼容的真正宽带器件。它支持宽带多标准、多载波设计, 可针对各种具体应用在现场即时配置。

HMC1044LP3E采用紧凑型3×3 mm QFN无引脚封装。

电气规格, $T_A = +25^\circ\text{C}$, $V_3 = 3.3\text{ V}$ (3 V至3.5 V)

参数	最小值	典型值	最大值	单位
单端				
通带 ^[1]	250		3060	MHz
f_{cutoff} 调谐范围(3 dB损耗)	1025		3060	MHz
通带平坦度		2.5		dB
通带插入损耗		3	5	dB
回损		10		dB
输入/输出阻抗		50		Ω
输入IP3(带内)		43		dBm
差分				
通带 ^[1]	250		3400	MHz
f_{cutoff} 调谐范围(3 dB损耗)	970		3400	MHz
通带平坦度		2.5		dB
通带插入损耗		3	5	dB
回损		10		dB
输入/输出阻抗		100		Ω
输入IP3(带内)		43		dBm
电源				
直流电源	3	3.3	3.5	V
电源电流		1		μA
数字输入				
数字输入低电平(VIL)			0.4	V
数字输入高电平(VIH)	1.5			V

[1] 最低频率受外部隔直电容限制。显示的值对应于100 pF的默认评估板配置。

[2] f_{cutoff} 定义为插入损耗比500 MHz时的通带插入损耗低3 dB的频率点。

图1. 单端插入损耗^[1]

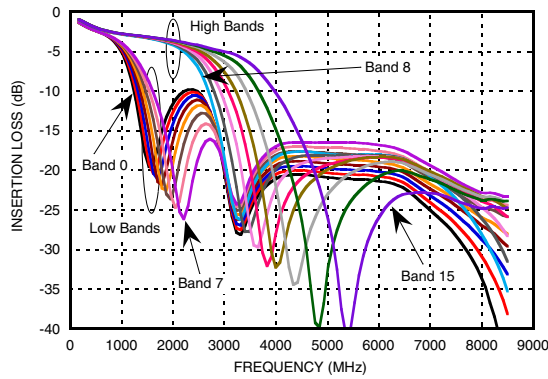


图2. 差分插入损耗^[1]

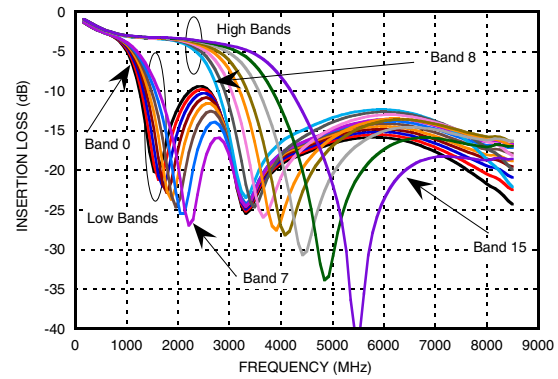


图3. 不同电源电压下的单端插入损耗^[1]

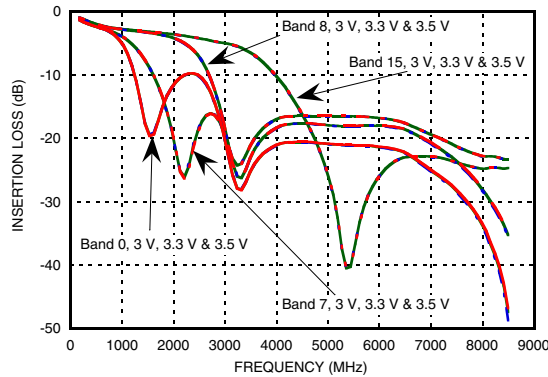


图4. 不同温度下的单端插入损耗^[1]

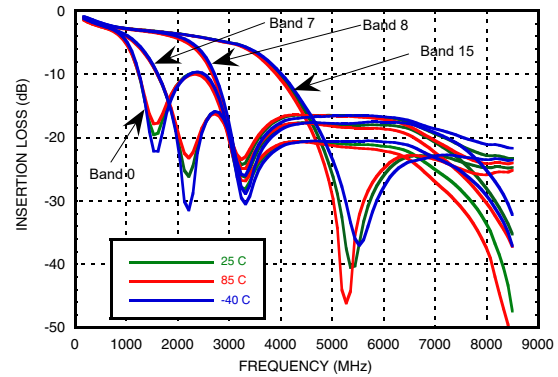


图5. 单端回损^[1]

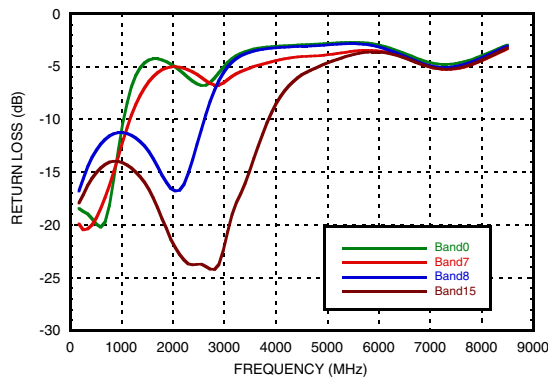
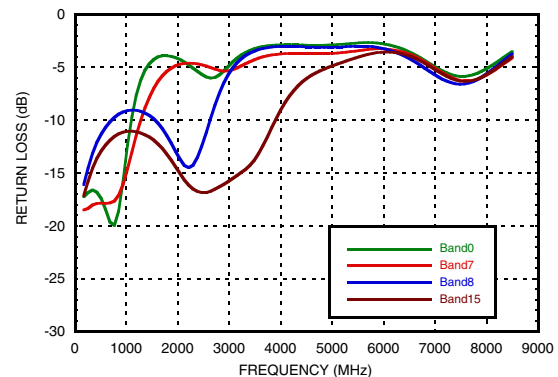


图6. 差分回损^[1]



[1] 低频性能受RF输入端和输出端的外部隔直电容限制。

图7. 单端回损与V3的关系^[1]

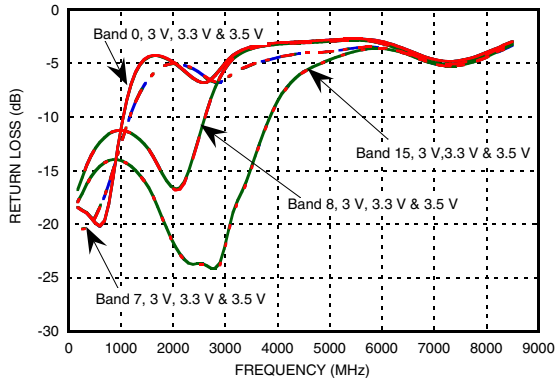


图8. 单端回损与温度的关系^[1]

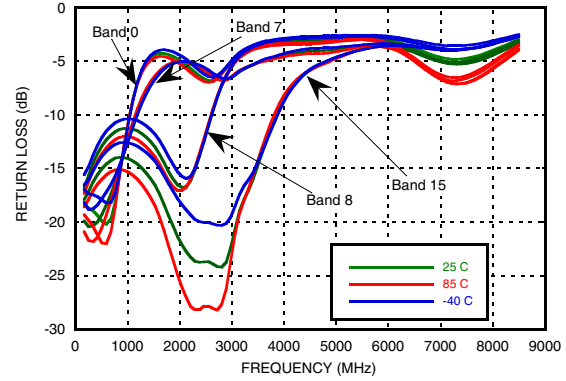
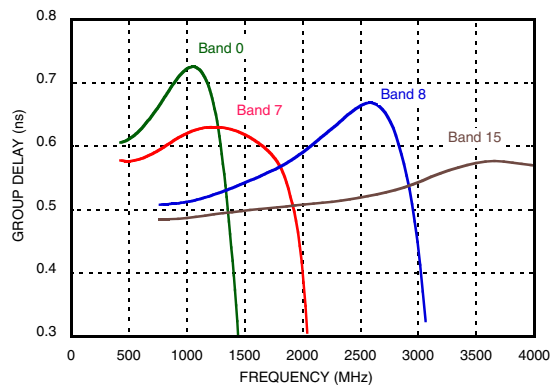


图9. 单端滤波器群延迟^[1]



[1] 低频性能受RF输入端和输出端的外部隔直电容限制。

HMC1044LP3E频段

HMC1044LP3E频段设置	相对于500 MHz的典型3 dB截止频率	
	单端	差分
0	1025	970
1	1050	1000
2	1075	1030
3	1105	1055
4	1130	1085
5	1160	1120
6	1195	1155
7	1225	1195
8	2230	2335
9	2300	2430
10	2380	2530
11	2465	2655
12	2550	2770
13	2675	2940
14	2805	3145
15	3060	3400

绝对最大额定值

参数	额定值
V3	-0.3至+3.6 V
RF功率输入	18 dBm
数字输入电压范围	-0.3至+3.6 V
存储温度	-65至+150 °C
回流焊	
峰值温度	260 °C
峰值温度时间	40秒

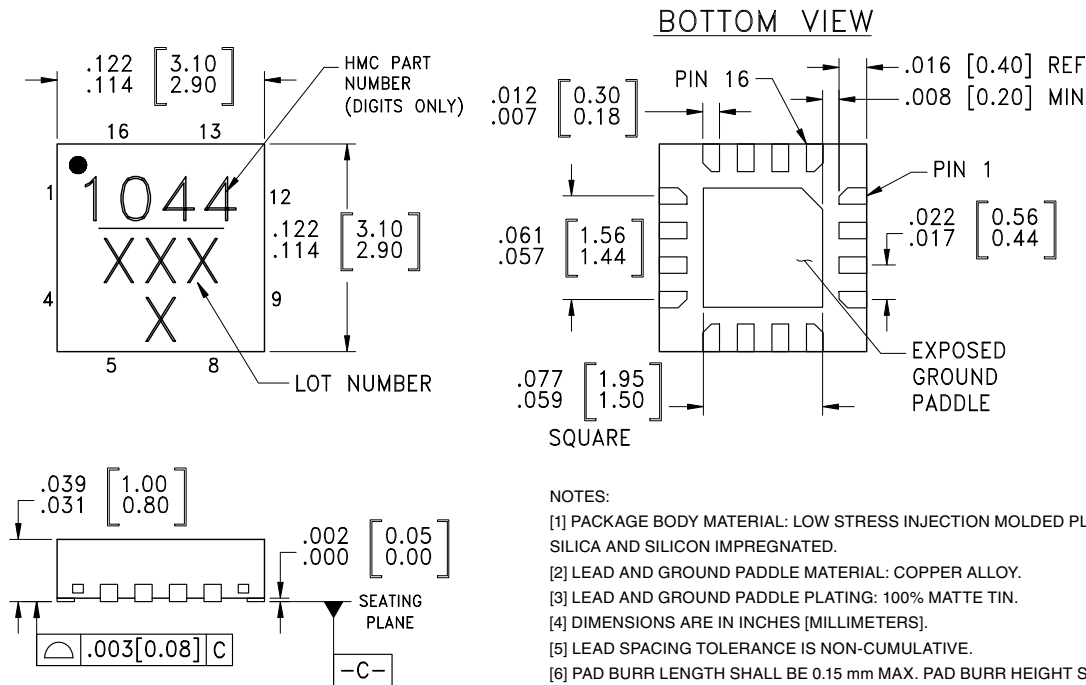
可靠性信息

最高结温	125 °C
工作温度	-40至+85 °C
ESD额定值(HBM)	2级
热阻	90 °C/W



静电敏感器件，请遵守操作规范

外形图



NOTES:

- [1] PACKAGE BODY MATERIAL: LOW STRESS INJECTION MOLDED PLASTIC SILICA AND SILICON IMPREGNATED.
- [2] LEAD AND GROUND PADDLE MATERIAL: COPPER ALLOY.
- [3] LEAD AND GROUND PADDLE PLATING: 100% MATTE TIN.
- [4] DIMENSIONS ARE IN INCHES [MILLIMETERS].
- [5] LEAD SPACING TOLERANCE IS NON-CUMULATIVE.
- [6] PAD BURR LENGTH SHALL BE 0.15 mm MAX. PAD BURR HEIGHT SHALL BE 0.05 mm MAX.
- [7] PACKAGE WARP SHALL NOT EXCEED 0.05 mm
- [8] ALL GROUND LEADS AND GROUND PADDLE MUST BE SOLDERED TO PCB RF GROUND.
- [9] REFER TO HITTITE APPLICATION NOTE FOR SUGGESTED PCB LAND PATTERN.

封装信息

产品型号	封装主体材料	引脚表面处理	MSL额定值	封装标识 ^[1]
HMC1044LP3E	符合RoHS标准的低应力注射成型塑料	100%亚光锡	MSL1 ^[2]	1044 XXXX

[1] 4位批次号XXXX

[2] 最大峰值回流温度为260 °C

关于报价、交货和订购，请联系：Hittite Microwave Corporation, 2 Elizabeth Drive, Chelmsford, MA 01824

电话：978-250-3343 传真：978-250-3373 在线订购：www.hittite.com

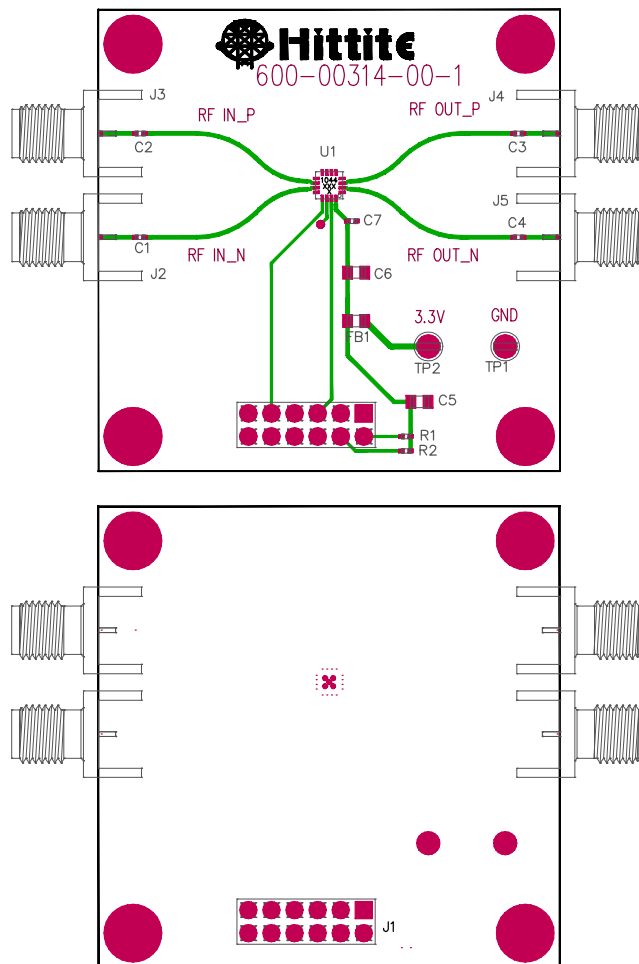
应用支持：电话：978-250-3343或apps@hittite.com

引脚描述

引脚编号	功能	描述	接口原理图
1, 4, 5, 6, 7, 8, 9, 12	GND	这些引脚和裸露焊盘必须连接到RF/DC地。	
2	OUT_N	此引脚为直流耦合并且匹配50 Ω电阻。 不得将外部电压施加于此引脚。 ^[1]	
3	OUT_P	此引脚为直流耦合并且匹配50 Ω电阻。 不得将外部电压施加于此引脚。 ^[1]	
10	IN_P	此引脚为直流耦合并且匹配50 Ω电阻。 不得将外部电压施加于此引脚。 ^[1]	
11	IN_N	此引脚为直流耦合并且匹配50 Ω电阻。 不得将外部电压施加于此引脚。 ^[1]	
13	SEN	串行端口使能(CMOS)逻辑输入	
14	SCK	串行端口时钟(CMOS)逻辑输入	
15	SDI	串行端口数据(CMOS)逻辑输入	
16	V3	直流电源	

[1] 这些引脚虽然是直流耦合，但需要外部交流耦合才能正常工作。更多信息请参见[评估PCB原理图](#)。

评估PCB

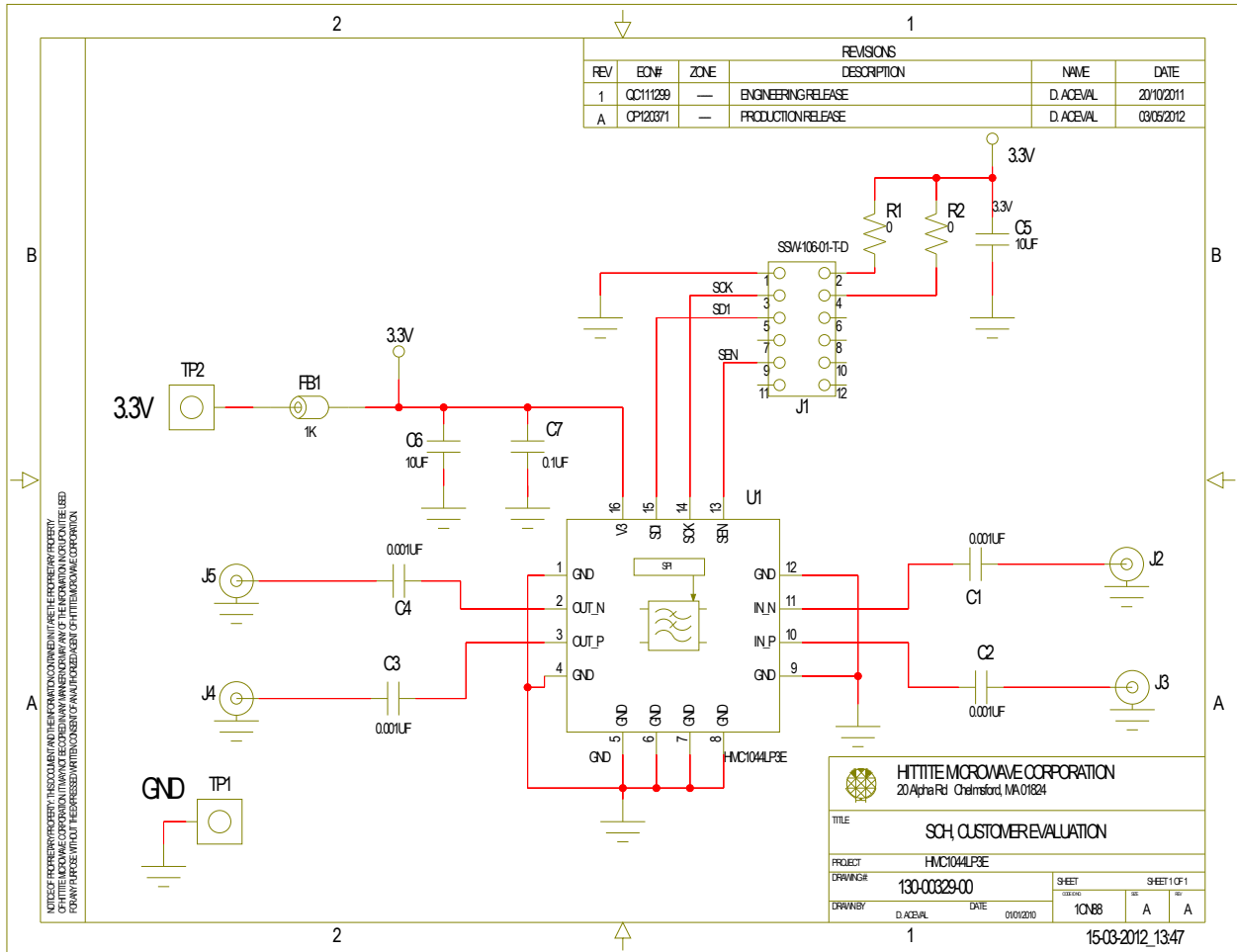


应用所用的电路板应采用RF电路设计技术。信号线应具有50 Ω阻抗，而封装接地引脚和裸露焊盘应直接连接到接地层，类似图中所示。应利用足够数量的过孔来连接上下接地层。所示评估电路板可向Hittite申请获得。

评估板订购信息

项目	内容	产品型号
仅评估PCB	HMC1044LP3E评估PCB	EVAL01-HMC1044LP3E
评估套件	HMC1044LP3E评估PCB USB接口板 6' USB A插头转USB B插口电缆 光盘(包含用户手册、评估PCB原理图、评估软件)	EKIT01-HMC1044LP3E

评估PCB原理图



HMC1044LP3E应用信息

HMC1044LP3E是采用正交调制器和/或解调器的宽带应用的理想LO谐波滤波器。HMC1044LP3E有16个用户可编程频段，允许用户以最佳方式衰减二次和/或三次LO谐波，从而最大程度地提高正交调制器/解调器的边带/镜像抑制性能。采用HMC1044LP3E的典型应用图如图10和图11所示。

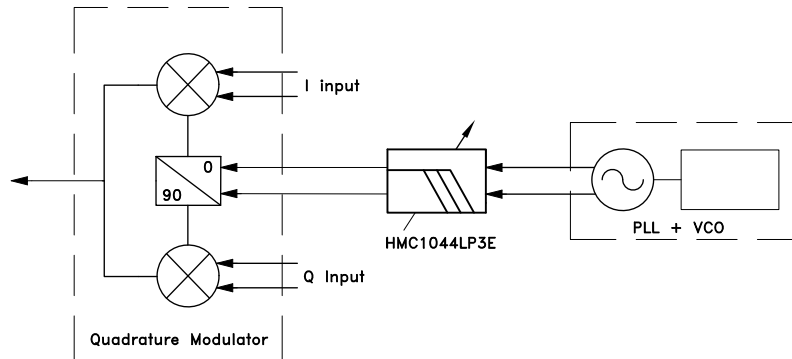


图10. 典型HMC1044LP3E发射机应用

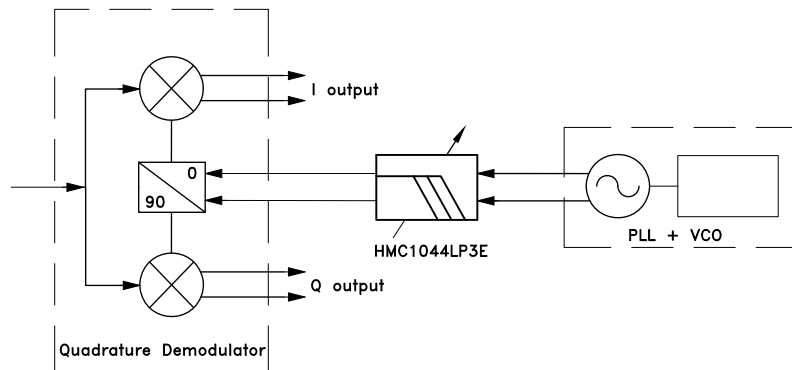


图11. 典型HMC1044LP3E接收机应用

背景：LO谐波和调制器/解调器边带/镜像抑制

市场上的宽带正交调制器/解调器大多采用某种形式的滤波器来产生所需的位于LO基频(1xLO)的同相和正交LO成分。其它一些不太常见的调制器/解调器可接受2xLO频率的LO输入，而且不是基于滤波器。1xLO型对LO三次谐波特别敏感，而2xLO型则是对二次谐波更敏感。

所有VCO中，尤其是集成VCO的RFIC中，一般都存在谐波。大量的LO谐波成分会引起幅度和相位不匹配，最终导致调制器边带抑制和解调器镜像抑制性能下降，如图12所示。

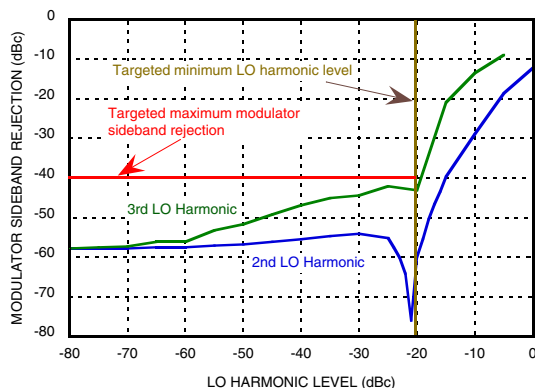


图12. 二次和三次谐波对调制器边带抑制的影响^[1]

图12显示了一个带1xLO输入的典型调制器，在大于-20 dBc的水平(相对于LO信号功率)，二次和三次LO谐波均会影响调制器边带抑制性能。图中还显示，三次LO谐波对调制器边带抑制性能的影响大于二次谐波；一旦二次谐波低于-20 dBc(相对于LO信号水平)，那么二次谐波对调制器边带抑制几乎无影响。

HMC1044LP3E设计确保在Hittite集成VCO的宽带PLL的全部工作范围内，二次和三次LO谐波均低于-20 dBc(相对于LO信号水平)。因此，LO对调制器/解调器边带/镜像抑制性能下降的影响便非常小或不存在。

使用HMC1044LP3E

每个调制器/解调器都有特定的边带/镜像抑制性能，这种性能还取决于其它许多因素，包括：类型(1xLO或2xLO输入)、平衡(幅度和相位匹配)、信号路径匹配和与其它器件的接口、电路板布局、输入信号带宽以及LO谐波。

图12表明：LO谐波一旦低于约-20 dBc(相对于LO信号水平)，通常就不再是调制器/解调器边带/镜像抑制性能下降的主要影响因素。然而，谐波不再是主要影响因素的确切水平取决于各个调制器/解调器和各个具体设计。因此，对于不同的设计，HMC1044LP3E最佳频段的选择可能也不同。

图13显示了当使用集成VCO的PLL [HMC830LP6GE](#)作为LO来驱动正交调制器[HMC697LP4E](#)，且未优化二次谐波时，利用HMC1044LP3E所实现的最佳三次谐波衰减。对应的HMC1044LP3E频段选择如[图14](#)所示。

[1] 利用HMC697LP4E直接调制器在2 GHz时测量，LO输入功率 = 0 dBm，1xLO型。

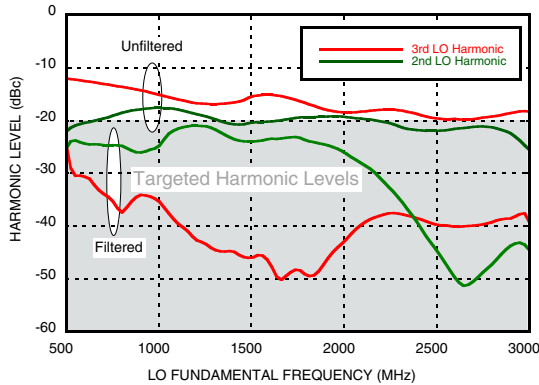


图13. HMC1044LP3E实现的LO三次谐波最大衰减^[2]

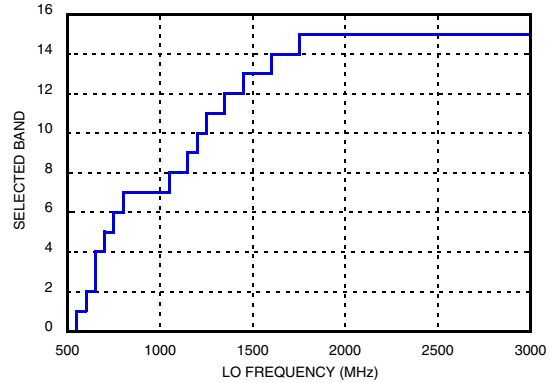


图14. 对应于图13的HMC1044LP3E频段选择

以图12中的目标性能为背景，观察图13所示的结果。很显然，HMC1044LP3E将三次和二次LO谐波都衰减到图12所示目标最大LO谐波水平以下，从而确保实现所需的调制器边带抑制性能。

图15显示了当使用集成VCO的PLL HMC830LP6GE作为LO来驱动正交调制器HMC697LP4E时，利用HMC1044LP3E所实现的最佳二次谐波衰减。对应的HMC1044LP3E频段选择如图16所示。

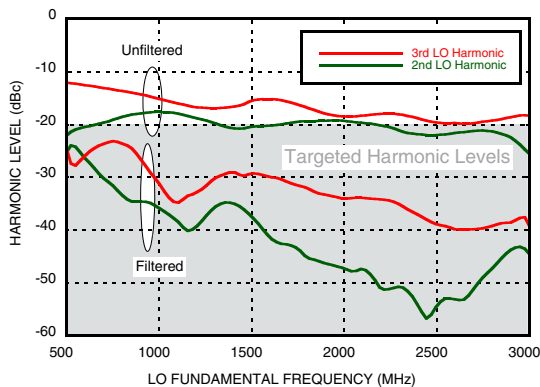


图15. HMC1044LP3E实现的LO二次谐波最大衰减^[2]

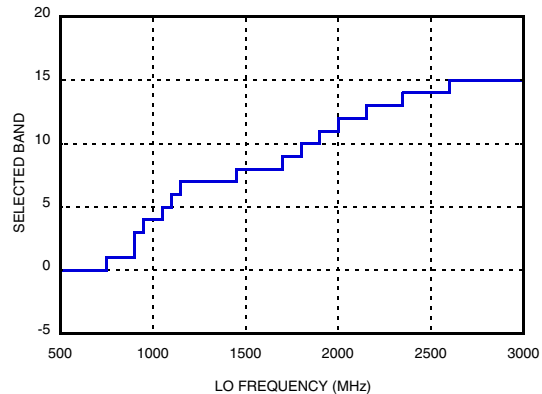


图16. 对应于图15的HMC1044LP3E频段选择

以图12中的目标性能为背景，观察图15所示的结果。很显然，HMC1044LP3E将三次和二次LO谐波都衰减到图12所示目标最大LO谐波水平以下，从而确保实现图12所示的调制器边带抑制目标性能。

以图12中的边带/镜像抑制与LO谐波失真之间的关系为参考，可以看到：两种方法(图13中的二次谐波衰减最大化和图14中的三次谐波衰减最大化)均能改善边带/镜像抑制性能，有效消除LO对边带/镜像抑制性能下降的影响。然而，图12还表明：当使用1xLO型调制器时，相比于二次谐波，三次谐波衰减应获得更多的重视，因为在小于约-20 dBc的水平，二次谐波不再是影响因素，而三次谐波会继续影响边带/镜像抑制，尽管对于图12所示的特定设计，其影响速率有所减小。

[2] 利用HMC830LP6GE(作为LO)和HMC697LP4E调制器进行测量。HMC830LP6GE在单端输出配置下使用。

图17显示了使用和不使用HMC1044LP3E两种情况下, 未经校准的调制器所实现的最大边带抑制性能。其产生办法是: 对于极宽带宽上的各特定频率, 选择能够实现最大未校准边带抑制性能的HMC1044LP3E频段。对应的HMC1044LP3E频段设置如图18所示。

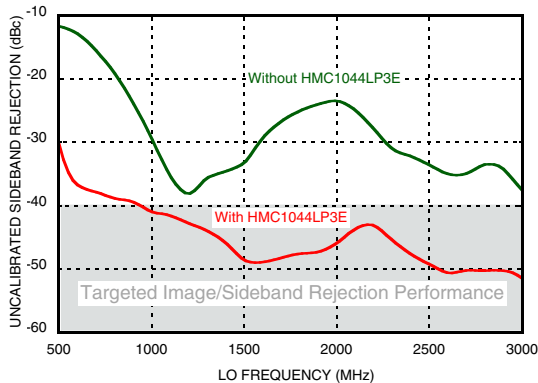


图17. 使用和不使用HMC1044LP3E两种情况下的未校准调制器最佳边带抑制性能, 单端LO配置^[3]

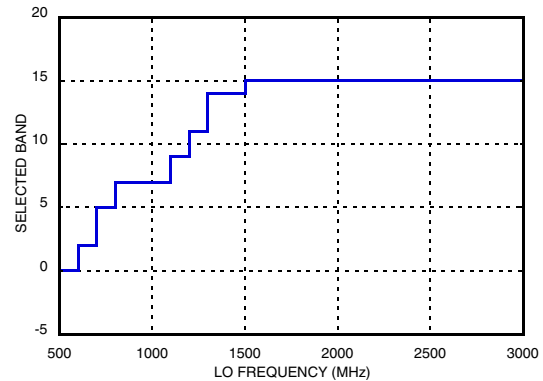


图18. 对应于图17的HMC1044LP3E频段选择

图17所示的结果确认: 在调制器和集成VCO的PLL的宽带工作范围内, HMC1044LP3E可将调制器边带抑制性能提高大约20 dB。边带抑制性能改善程度低于20 dB发生在LO谐波不是边带抑制主要影响因素的那些频率, 也就是在边带抑制性能已经很好的那些频率。

图18所示的对应HMC1044LP3E频段选择比图16更接近图14。这就确认了图12所示的数据, 以及对于1xLO型调制器/解调器, 三次LO谐波对调制器边带抑制性能下降的影响比二次谐波更大的假设。

另一个应该考虑的因素是HMC1044LP3E的插入损耗, 如图1和图2所示, 在所选频段设置的通带范围内, 其变化幅度大约是2.5 dB。实现最佳边带/镜像抑制性能的HMC1044LP3E频段选择还取决于调制器/解调器的LO输入功率, 不同设计会有不同的输入功率。它取决于集成VCO的PLL(用作LO)在各频率的输出功率、HMC1044LP3E在选定频段设置的插入损耗、LO频率以及所需的调制器/解调器LO输入功率。本部分中的谐波衰减和边带抑制曲线是在以下条件下产生的: 对于所有频率, HMC697LP4E的最低LO输入功率始终 ≥ -3 dBm, 这符合HMC697LP4E数据手册中对LO输入功率的要求(大于-6 dBm且小于6 dBm)。

对于要求在宽带宽内提供平坦输出功率响应的应用, 应当注意: 可以利用一个基于HMC830LP6GE宽带PLL(集成VCO)、HMC1044LP3E可变LPF和HMC993LP5E AGC的调平环路, 构建一个在宽带范围内具有平坦输出功率的低谐波信号源。

[3] 利用HMC830LP6GE(作为LO)和HMC697LP4E调制器进行测量。HMC830LP6GE在单端输出配置下使用。

串行端口接口(SPI)

HMC1044LP3E SPI仅有写入能力，而无读取能力。它有一个三线串行端口，可与主机控制器进行简单通信。HMC1044LP3E有一个固定的3位芯片地址6d。

串行端口写操作

主要SPI时序特性

V3 = 3.3 V(3 V至3.5 V), GND = 0 V

参数	条件	最小值	典型值	最大值	单位
t ₁	SDI至SCK建立时间	8			ns
t ₂	SDI至SCK保持时间	8			ns
t ₃	SCK高电平持续时间	10			ns
t ₄	SCK低电平持续时间	10			ns
t ₅	SEN低电平持续时间	20			ns
t ₆	SEN高电平持续时间	20			ns
t ₇	SCK至SEN ^[a]	8			ns

a. 在SCK的第16个下降沿之后和下一个上升沿之前，SEN必须上升。如果SCK由多个器件共享，必须遵守此时序要求。

典型写周期如图19所示。

1. 主机置位SEN(低电平有效串行端口使能)，然后出现SCK上升沿。
2. 在SEN低电平有效之后的SCK第一个上升沿，HMC1044LP3E读取SDI (MSB)。
3. 在SCK的后续8个上升沿，HMC1044LP3E登记数据位(共9个数据位)。
4. 在SCK的后续4个下降沿，主机放上4个寄存器地址位(MSB到LSB)，同时在SCK的对应上升沿，HMC1044LP3E读取地址位。
5. 在SCK的后续3个下降沿，主机放上3个芯片地址位(MSB到LSB)。注意，HMC1044LP3E芯片地址是固定值6d或110。

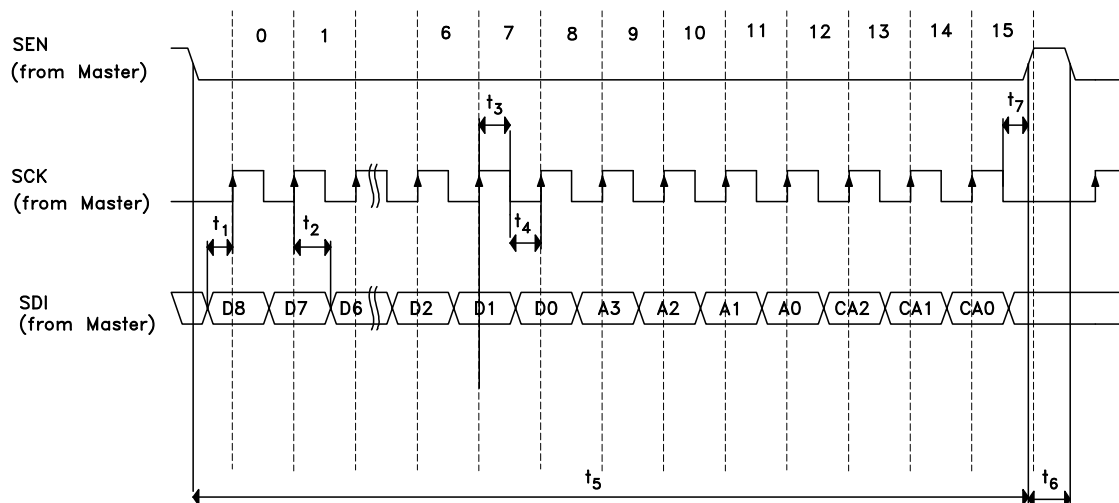


图19. 串行端口写操作时序图

**寄存器映射****Reg 01h - Autotune**

位	名称	宽度	默认值	描述
[15:0]	Autotune	4	15	频段设置 0 - 最低频段 15 - 最高频段



注释:

HMC1044LP3E

可编程谐波低通滤波器,
1 - 3 GHz 3 dB带宽