

PCI 总线双串口及打印口芯片 CH352

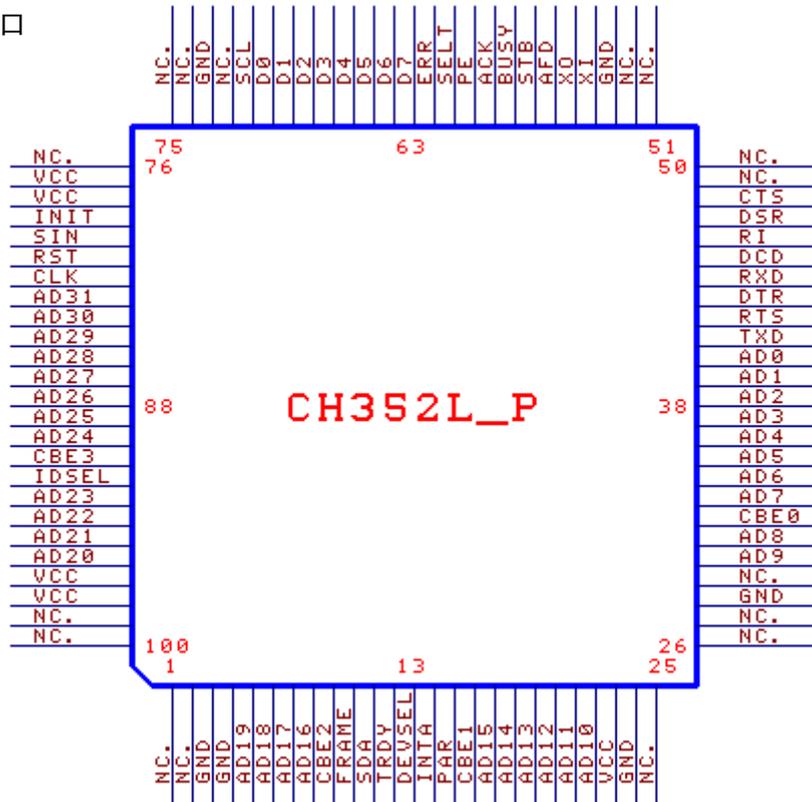
中文手册 (二): 串口+并口

版本: 1A

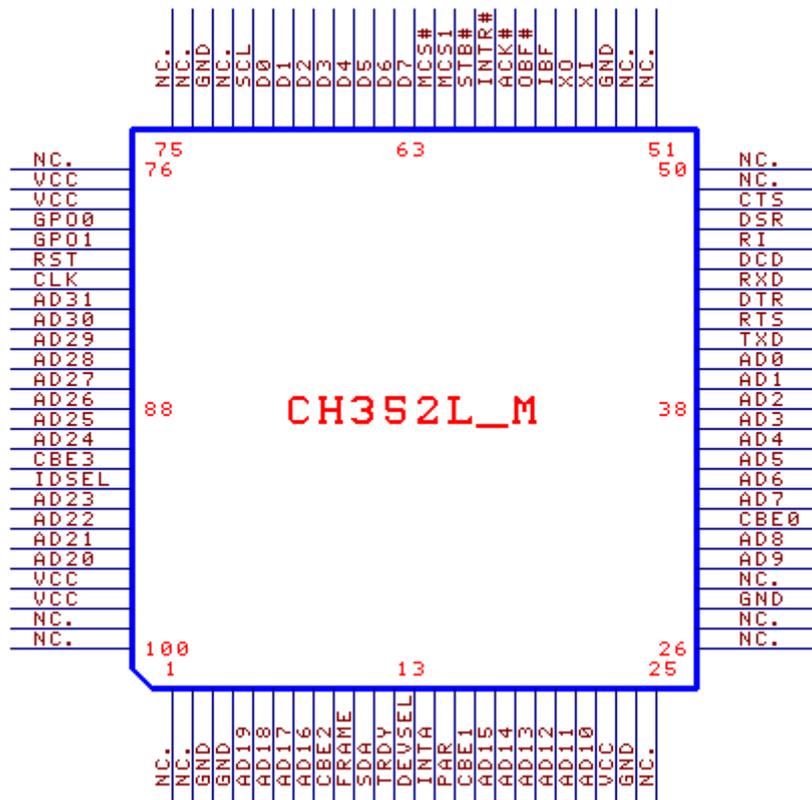
<http://wch.cn>

1、封装

串口+并口/打印口



串口+8255 并口



有关双串口的应用说明和引脚图请参考手册（一）CH352DS1.PDF。

2、引脚

2.1. 电源线

引脚号	引脚名称	类型	引脚说明
23, 77, 78, 97, 98	VCC	电源	正电源端
3, 4, 24, 28, 53, 73	GND	电源	公共接地端
1, 2, 25, 26, 27, 29, 49, 50, 51, 52, 72, 74, 75, 76, 99, 100	NC.	空脚	禁止连接

2.2. PCI 总线信号线

引脚号	引脚名称	类型	引脚说明
81	RST	输入	系统复位信号线，低电平有效
82	CLK	输入	系统时钟信号线，上升沿有效
83-90, 93-96, 5-8, 17-22, 30-31, 33-40	AD31~ADO	三态输出 及输入	地址和双向数据复用信号线
91, 9, 16, 32	CBE3~CBE0	输入	总线命令和字节使能复用信号线
15	PAR	三态双向	奇偶校验信号线
92	IDSEL	输入	初始化设备选择信号线，高电平有效
10	FRAME	输入	帧周期开始信号线，低电平有效
12	TRDY	三态输出	目标设备准备好信号线，低电平有效
13	DEVSEL	三态输出	目标设备选中信号线，低电平有效
14	INTA	开漏输出	INTA 中断请求信号线，低电平有效

2.3. 串口 0 信号线

引脚号	引脚名称	类型	引脚说明
48	CTS	输入	MODEM 信号，清除发送，低电平有效，内置弱上拉
47	DSR	输入	MODEM 信号，数据装置就绪，低电平有效，内置弱上拉
46	RI	输入	MODEM 信号，振铃指示，低电平有效，内置弱上拉
45	DCD	输入	MODEM 信号，载波检测，低电平有效，内置弱上拉
44	RXD	输入	异步串行数据输入，内置弱上拉电阻
43	DTR	输出	MODEM 信号，数据终端就绪，低电平有效
42	RTS	输出	MODEM 信号，请求发送，低电平有效 在半双工通讯时为串行数据正在发送状态指示，高有效

41	TXD	输出	异步串行数据输出
----	-----	----	----------

2.4. 打印口信号线

引脚号	引脚名称	类型	引脚说明
63-70	D7~D0	三态双向	8位并行数据输出及输入，内置上拉，接 DATA7~DATA0
57	STB	输出	数据选通输出，低电平有效，接 STROBE
56	AFD	输出	自动换行输出，低电平有效，接 AUTO-FEED
79	INIT	输出	初始化打印机，低电平有效，接 INIT
80	SIN	输出	选中打印机，低电平有效，接 SELECT-IN
62	ERR	输入	打印机出错，低有效，内置强上拉，接 ERROR 或 FAULT
61	SLCT	输入	打印机联机，高有效，内置强上拉，接 SELECT 或 SLCT
60	PE	输入	打印机缺纸，高有效，内置强上拉，接 PEMPTY 或 PERROR
59	ACK	输入	打印机数据接收应答，上升沿有效，内置强上拉，接 ACK
58	BUSY	输入	打印机正忙，高有效，内置强上拉，接 BUSY

2.5. 8255 并口信号线

以下 8255 并口信号线是对打印口信号线的重新定义。

引脚号	引脚名称	类型	引脚说明
63-70	D7~D0	三态双向	8位并行数据三态输出及输入，内置上拉
57	OBF#	输出	下传缓冲区满状态输出，低电平有效，供查询
58	ACK#	输入	下传数据读脉冲输入，低有效，内置强上拉
56	IBF	输出	上传缓冲区满状态输出，高电平有效，供查询
60	STB#	输入	上传数据写脉冲输入，低有效，内置强上拉
62	MCS#	输入	并口片选输入，低有效，内置强上拉，接地址译码
61	MCS1	输入	并口片选输入，高有效，内置强上拉，接地址译码
59	INTR#	输入	PCI 中断请求输入，上升沿有效，内置强上拉
79	GPO0	输出	通用输出引脚，默认为低电平
80	GPO1	输出	通用输出引脚，默认为高电平

2.6. 辅助信号线

引脚号	引脚名称	类型	引脚说明
54	X1	输入	晶体振荡的输入端，需要外接晶体及振荡电容
55	X0	输出	晶体振荡的反相输出端，需要外接晶体及振荡电容
71	SCL	开漏输出及输入	芯片功能配置输入，内置上拉电阻，可以外接串行 EEPROM 配置芯片 24CXX 的 SCL 引脚
11	SDA	开漏输出及输入	外部配置芯片使能，高电平有效，内置下拉电阻，可以外接串行 EEPROM 配置芯片 24CXX 的 SDA 引脚

3. 配置

CH352 芯片具有两种功能模式：双串口功能模式、串口+并口功能模式。具体的功能配置方法和有关外部配置芯片的说明以及有关串口内部时钟的说明请参考手册（一）。

在串口+并口功能模式下，CH352 芯片的串口 0 可以由 SCL 引脚选择分频或者倍频系数，将外部时钟的频率转换为两种内部时钟频率，从而支持更多更大的串口波特率。下表是根据 SCL 引脚状态和外部晶体频率产生串口的内部时钟频率和最大串口波特率。表中 CFG 是指外部配置芯片有效标志。

引脚状态	SCL 引脚接地 或者接低电平	SCL 引脚 接 RST 引脚	SCL 引脚外接电阻 R1 到 RST 引脚	
			CFG 位 0 为 1	CFG 位 0 为 0
内部频率系数	1/12 分频	2 倍频	1/12 分频	2 倍频
外部晶体频率 22.1184MHz	1.8432MHz 115.2Kbps	44.2368MHz 2.7648Mbps	1.8432MHz 115.2Kbps	44.2368MHz 2.7648Mbps
外部晶体频率 0.9216MHz		1.8432MHz 115.2Kbps		1.8432MHz 115.2Kbps
其它外部频率	参考双串口功能模式下的表格计算			

4、寄存器

有关寄存器的基本约定、PCI 配置空间的说明、配置寄存器的位说明以及串口寄存器的说明，请参考手册（一）。

4.1. 并口寄存器

CH352 的并口兼容 SPP 标准打印口并有所增强，表中标为灰色的寄存器位为增强功能。并口寄存器的实际地址为 I/O 基址 1 加表中的偏移地址。CH352 的并口主要有 4 种工作方式：SPP（含 Nibble、Byte 和 PS/2）、EPP、ECP 和 8255，表中方式 ALL 是指所有方式，ADV 是指 EPP、ECP 和 8255，PRT 是指 SPP、EPP 和 ECP，RO 表示寄存器只读，WO 表示寄存器只写，R/W 表示寄存器可读可写。

地址	方式	R/W	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0	SPP	RO	PIR	D7IN	D6IN	D5IN	D4IN	D3IN	D2IN	D1IN	D0IN
0	ADV	RO	PIR	IBD7	IBD6	IBD5	IBD4	IBD3	IBD2	IBD1	IBD0
0	ALL	WO	PDR	D7OUT	D6OUT	D5OUT	D4OUT	D3OUT	D2OUT	D1OUT	D0OUT
1	8255	RO	PSR	!ACK#	INTR#	STB#	MCS1	MCS#	!INTFLAG	1	1
1	SPP	RO	PSR	!BUSY	ACK	PE	SELT	ERR		1	1
1	EPP	RO	PSR						!ECPICMD	!ECPIBF	!ECPOUT
1	ECP	RO	PSR								
2	PRT	R/W	PCR	1	1	DIRIN	INTEN	!SIN	INIT	!AFD	!STB
2	8255	R/W	PCR	!8255OBF	1	8255IBF		GP01	GP00	0	0
3	SPP	R/W	PXR	0	0	0	0	0	0	0	0
3	EPP	R/W	PXR	0	0	0	0	EPPADDR	MODEEPP	0	0
3	ECP	R/W	PXR	0	0	0	ECPINTF	0	0	ECPDIRIN	MODEECP
3	8255	R/W	PXR	EN8255	MODE8255	0	0	0	0	0	0

下表是并口寄存器在上电复位或者 PCI 总线复位之后的默认值。

寄存器名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
PIR	1	1	1	1	1	1	1	1
PDR	0	0	0	0	0	0	0	0
PSR	!BUSY	ACK	PE	SELT	ERR	1	1	1
PCR	1	1	0	0	0	0	0	0
PXR	0	0	0	0	0	0	0	0
其它	未定义							

PIR: 数据输入寄存器，在 SPP 方式下用于从 D7-D0 引脚输入实时数据，在 EPP、ECP 或 8255 方式下为已经锁存的输入/上传缓冲区中的数据。EPP 方式下，该数据在 AFD 引脚或者 SIN 引脚输出低电平时被锁存；ECP 方式下，该数据在 ACK 引脚低电平时被锁存，同时还锁存 !ECPICMD；8255 方式下，该数据在 MCS1、MCS# 和 STB# 引脚都有效时被外围单片机写入并锁存。

PDR: 数据输出寄存器，用于写入准备输出/下传的数据。在 SPP 方式下写入该寄存器将会直接输出到

D7-D0 引脚；在 EPP 或 ECP 方式下写入该寄存器将会自动执行数据输出或者数据输入的握手协议；在 8255 方式下写入该寄存器将会设置 !82550BF 标志和 OBF# 引脚有效。

PSR：状态寄存器，用于查询输入引脚和操作执行状态。

!BUSY：该位是 SPP、EPP 和 ECP 方式下输入引脚 BUSY 的状态的反值，当 BUSY 引脚输入高电平时，该位为 0。

ACK：该位是 SPP、EPP 和 ECP 方式下输入引脚 ACK 的状态。

PE：该位是 SPP、EPP 和 ECP 方式下输入引脚 PE 的状态。

SELT：该位是 SPP、EPP 和 ECP 方式下输入引脚 SELT 的状态。

ERR：该位是 SPP、EPP 和 ECP 方式下输入引脚 ERR 的状态。

!INTFLAG：该位是 SPP 方式下的中断标志的反值，当 ACK 引脚上升沿产生中断标志时，该位自动清 0，读取 PSR 寄存器后该位自动置 1。

!EPPREQ：该位是 EPP 方式下存取操作进行标志的反值，当写入 PDR 寄存器时，该位自动清 0，并开始尝试 EPP 存取操作，直到操作完成，该位才自动置 1。

!ECPICMD：该位是 ECP 方式下反向传输时命令标志的反值，当反向传输是命令时，该位为 0。

!ECPIBF：该位是 ECP 方式下反向传输的上传缓冲区满标志的反值，当上传缓冲区满时，该位自动清 0，读取 PIR 寄存器后该位自动置 1。

!ECP0UT：该位是 ECP 方式下正向传输操作进行标志的反值，当写入 PDR 寄存器时，该位自动清 0，并开始尝试 ECP 正向输出操作，直到操作完成，该位才自动置 1。

!ACK#：该位是 8255 方式下输入引脚 ACK# 的状态的反值，当 ACK# 引脚输入高电平时，该位为 0。

INTR#：该位是 8255 方式下输入引脚 INTR# 的状态。

STB#：该位是 8255 方式下输入引脚 STB# 的状态。

MCS1：该位是 8255 方式下输入引脚 MCS1 的状态。

MCS#：该位是 8255 方式下输入引脚 MCS# 的状态。

PCR：控制寄存器，用于控制输出引脚和传输方向以及中断使能。

DIRIN：该位是 SPP、EPP 和 ECP 方式下的双向数据线 D7-D0 的三态输出控制，清 0 则 D7-D0 引脚允许三态输出，置 1 则 D7-D0 引脚禁止三态输出。

INTEN：该位是 PCI 中断输出使能，置 1 则允许输出中断请求，清 0 则禁止输出中断请求。

!SIN：该位为 1 则 SIN 引脚输出有效（低电平有效），否则 SIN 引脚输出无效。

INIT：该位为 1 则 INIT 引脚输出无效，否则 INIT 引脚输出有效（低电平有效）。

!AFD：该位为 1 则 AFD 引脚输出有效（低电平有效），否则 AFD 引脚输出无效。

!STB：该位为 1 则 STB 引脚输出有效（低电平有效），否则 STB 引脚输出无效。

!82550BF：该位是 8255 方式下输出缓冲区满标志的反值，当写入 PDR 寄存器时，该位自动清 0，直到 MCS1、MCS# 和 ACK# 引脚都有效时被外围单片机取走数据，该位才自动置 1。

82551BF：该位是 8255 方式下输入缓冲区的满标志，当 MCS1、MCS# 和 STB# 引脚都有效时被外围单片机写入数据后，该位自动置 1，当读取 PIR 寄存器后，该位自动清 0。

GP01：该位为 1 则 GP01 引脚输出有效（低电平有效），否则 GP01 引脚输出无效。

GP00：该位为 1 则 GP00 引脚输出无效，否则 GP00 引脚输出有效（低电平有效）。

PXR：设置寄存器，用于设置并口工作方式。

EPPADDR：该位是 EPP 方式下的目标空间选择，为 1 则对应 EPP 的地址存取操作，为 0 则对应 EPP 的数据存取操作。

MODEEPP：该位为 1 则启用 EPP 方式。

ECPINTF：该位是 ECP 方式下的中断标志，当 ERR 引脚下降沿产生中断标志时，该位自动置 1，读取 PXR 寄存器后该位自动清 0。

ECPDIRIN：该位是 ECP 方式下的传输方向控制，为 0 则对应 ECP 正向传输/输出，为 1 则对应 ECP 反向传输/输入。

MODEECP：该位为 1 则启用 ECP 方式。

MODE8255：该位为 1 则启用 8255 方式，该位仅在 EN8255 为 1 时才能修改，否则保持原值。

EN8255：该位为 1 才能修改 MODE8255，否则 MODE8255 保持原值，读取该位时总是返回 0。

5、功能说明

5.1. 查询与中断

CH352 芯片的串口 0 和并口合用一个 PCI 中断请求引脚，所以在进入 PCI 中断服务程序后，首先应该分析出是否为 CH352 请求中断，以及是串口还是并口的中断请求。当进入中断服务程序后，首先读取并口的 PSR 和 PXR 寄存器，如果是 ECP 方式则检查 PXR 寄存器的 ECPINTF 标志，否则检查 PSR 寄存器的 !INTFLAG 标志，如果有效则说明有中断，处理后退出，无效则说明无中断，可以读取串口 0 的 IIR 寄存器，有中断则处理并退出，无中断则直接退出。

如果串口工作于中断方式，那么需要设置 IER 寄存器以允许相应的中断请求，并设置 MCR 寄存器中的 OUT2 以允许中断输出。

如果并口工作于中断方式，那么需要设置 PCR 寄存器的 INTEN 以允许中断输出。其中，SPP 或 EPP 方式是以 ACK 引脚的上升沿启动中断请求，ECP 方式是以 ERR 引脚的下降沿启动中断请求，8255 方式是以 INTR#引脚的上升沿启动中断请求。

如果串口工作于查询方式，那么无需设置 IER 和 MCR，只需查询 LSR 寄存器并分析处理。

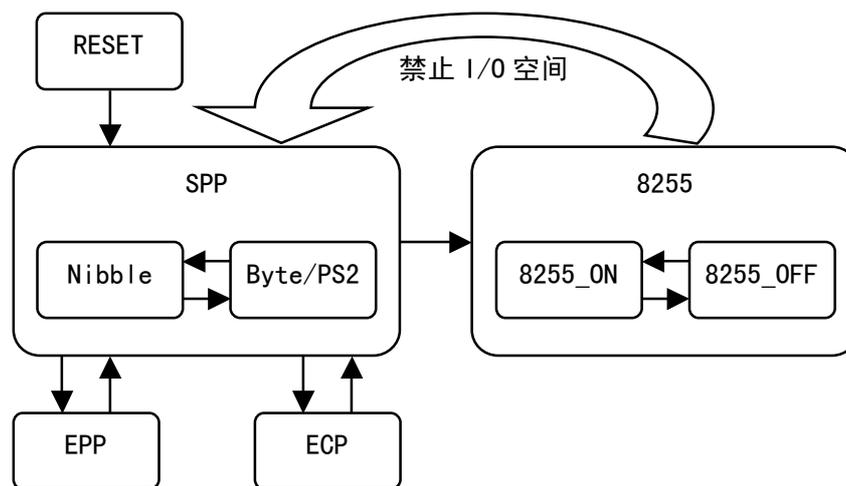
如果并口工作于查询方式，那么无需设置 PCR 的 INTEN，只需查询 PSR、PCR 和 PXR 寄存器并分析处理。

5.2. 串口操作

具体操作可以参考 CH352DS1.PDF，或者单串口芯片 16C550 或者双串口芯片 CH432 的说明。

5.3. 并口操作

CH352 并口的 4 种工作方式之间互斥，默认为 SPP 方式。在 SPP 方式下可以实现 Nibble、Byte 和 PS/2 等附加方式，还可以通过设置 PXR 寄存器在 SPP、EPP 或 ECP 方式之间进行来回切换，但是 8255 方式是特殊的自锁方式，一旦设置 PXR 寄存器进入 8255 方式则不能再切换到 SPP、EPP 或者 ECP 方式，除非 PCI 配置空间的命令寄存器的位 0 被清 0（禁止 I/O 空间）或者 PCI 总线复位，否则只能在开启 8255 和关闭 8255 之间进行选择。下面是并口工作方式切换图。



在 SPP 方式下，可以用软件控制 PCR 和查询 PSR 实现 Nibble、Byte 和 PS/2 等传输，具体操作步骤可以参考 IEEE1284 规范。

在 8255 方式下，CH352 的并口类似于工业标准 8255 芯片的模式 2，支持硬件握手信号和片选输入，支持双向数据传输，可以直接挂接到外围单片机的数据总线上。对于下传，可以向 PDR 写入数据，然后查询 PSR 直到 !82550BF 为 1；对于上传，可以查询 PSR 直到 8255IBF 为 1，然后再从 PIR 读取数据（建议与 PSR 一起读取以提高效率）。对于中断方式应用，下传前计算机可以先设置 GP00 或者 GP01 引脚以通知单片机中断，上传前单片机可以先设置 INTR#引脚以通知计算机中断。下表是先查询再存

取的查询方式应用的操作步骤，表中片选有效是指 MCS1 为高电平并且 MCS#为低电平，既可以由单片机的片选译码电路驱动，也可以由单片机的两根地址线驱动，ACK#引脚由单片机的读控制信号 RD 驱动，STB#引脚由单片机的写控制信号 WR 驱动。

方向	计算机端、CH352 端	外围设备端、单片机端	说明
下传	等待 PCR 的 !82550BF 为 1	查询 OBF#引脚状态	等待前次完成
	向 PDR 写入下传数据		OBF#输出低
		检测到 OBF#有效（低电平）	
		片选有效且 ACK#低电平时取出数据	OBF#输出高
	(PCR 的 !82550BF 自动置 1)		本次下传结束
上传	查询 PCR 的 8255IBF 标志	等待 IBF 引脚无效（低电平）	等待前次完成
		片选有效且 STB#低电平时写入数据	IBF 输出高
	检测到 PCR 的 8255IBF 为 1		
	从 PIR 读取上传数据		IBF 输出低
		(IBF 自动无效)	本次上传结束

5.4. 应用说明

有关串口的应用说明请参考手册（一）。

CH352 芯片的串口正常工作时需要外部向 XI 引脚提供时钟信号。一般情况下，时钟信号由 CH352 内置的反相器通过晶体稳频振荡产生。如果不需要串口功能，那么 XI 引脚无需时钟；如果去掉晶体和振荡电容，那么 XI 引脚应该直接接地。

CH352 芯片的并口输出引脚都是 CMOS 电平，兼容 TTL 电平，输入引脚能够兼容 CMOS 电平和 TTL 电平，并且输入引脚已经内置打印口所需的上拉电阻，可以简化外围电路。

并口方式下 CH352 芯片的引脚包括：双向数据引脚、控制输出引脚和状态输入引脚。双向数据引脚和控制输出引脚除 INIT 引脚之外，默认都是高电平。在 SPP 方式下，所有这些信号都可以作为通用 IO 引脚，由计算机应用程序控制并定义其用途。

在计算机端的 Windows 和 Linux 操作系统下，CH352 的驱动程序能够兼容标准打印口，所以绝大部分原并口应用程序完全兼容，通常不需要作任何修改。

CH352 可以用于通过 PCI 总线为计算机扩展额外的高速 RS232 串口和并口/打印口，以及用于内嵌单片机进行数据处理的 PCI 插卡。

6、参数

6.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位	
TA	工作时的环境温度	VCC=5V	-40	85	℃
		VCC=3.3V	-40	65	
TS	储存时的环境温度	-55	125	℃	
VCC	电源电压（VCC 接电源，GND 接地）	-0.5	6.0	V	
VIO	输入或者输出引脚上的电压	-0.5	VCC+0.5	V	

6.2. 电气参数（测试条件：TA=25℃，VCC=5V，不包括连接 PCI 总线的引脚）

（如果电源电压为 3.3V，则表中所有电流参数需要乘以 40% 的系数）

名称	参数说明	最小值	典型值	最大值	单位
VCC	电源电压（请参考下面的注意事项）	3.3	5	5.3	V
ICC	工作时的电源电流	1	15	50	mA
VIL	低电平输入电压	-0.5		0.8	V
VIH	高电平输入电压	2.0		VCC+0.5	V
VOL	低电平输出电压（4mA 吸入电流）			0.5	V
VOH	高电平输出电压（2mA 输出电流）	VCC-0.5			V
IIN	无上拉的输入端的输入电流			10	uA
IUP1	带弱上拉的输入端的输入电流	3	5	170	uA
IUP2	带上拉的输入端的输入电流	180	250	500	uA
IUP3	带强上拉的输入端的输入电流	220	350	800	uA
IUPscl	SCL 引脚的上拉输入电流	150	250	400	uA
IDN	带下拉的输入端的输入电流	-18	-30	-80	uA

注意事项：CH352 的输入承受电压实际是电源电压加上 0.5V，例如，当 CH352 工作于 3.3V 电源电压时，外部电路提供给 CH352 的输入电压不得超过 3.8V。当 CH352 的电源电压低于 4V 时，PCI 总线的主频不得超过 33MHz，也就是说 PCI 总线不得超频工作。

6.3. 时序参数（测试条件：TA=25℃，VCC=5V，FCLK=33.3MHz）

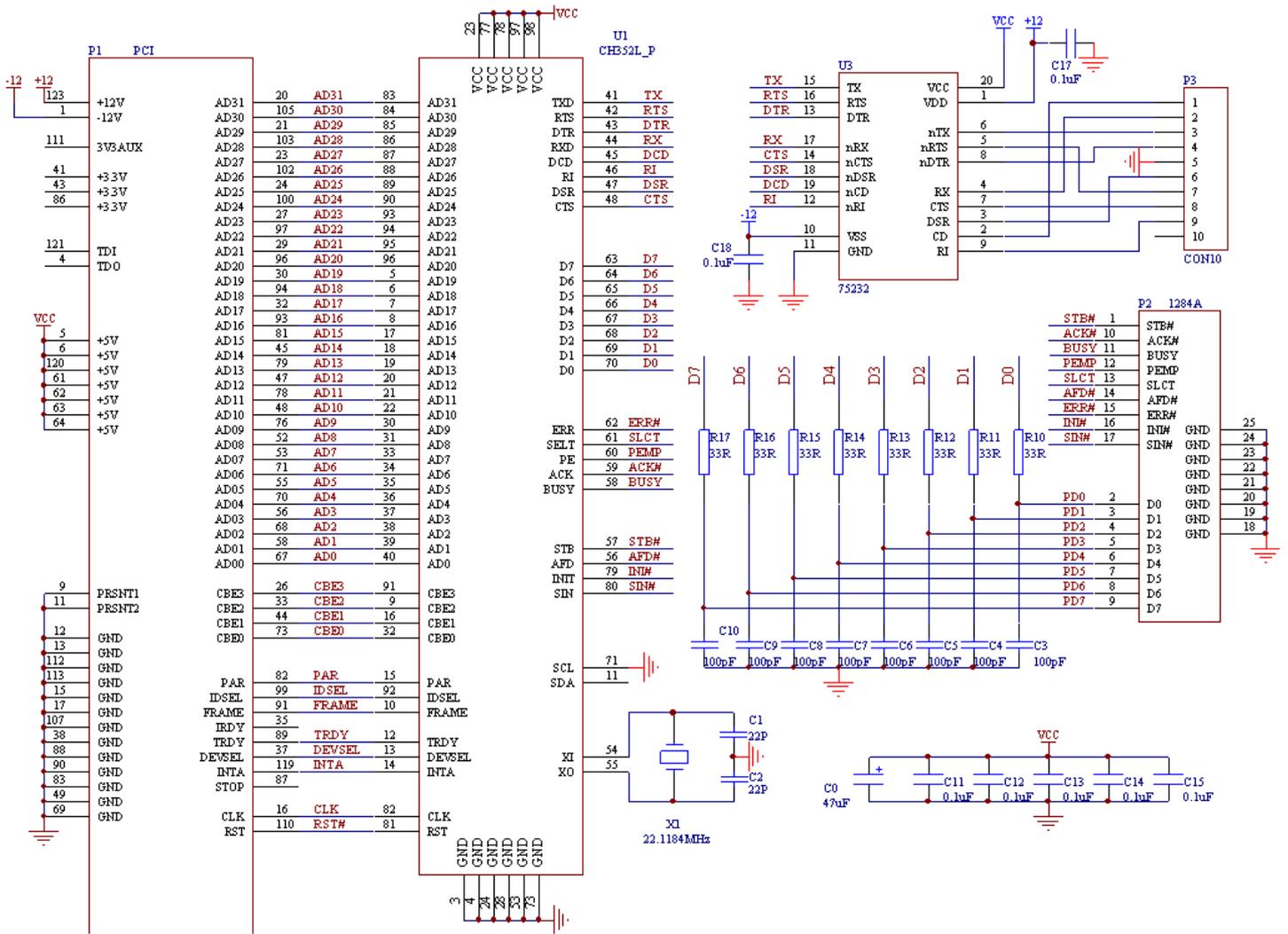
名称	参数说明	最小值	典型值	最大值	单位
FCLK	CLK 输入频率（PCI 总线的主频）	0	33.3	40	MHz
FSCL	自动加载时 SCL 输出频率（两线接口主频）	FCLK / 128 = 260			KHz
FXI	XI 输入频率、晶体频率	0.9216	22.1184	32	MHz
TWSTB	8255 方式下的 STB#有效低电平宽度	40			nS
TWACK	8255 方式下的 ACK#有效低电平宽度	40			nS
TDOON	8255 方式下的 ACK#有效到数据输出有效	0		20	nS
TDOOF	8255 方式下的 ACK#无效到数据输出无效	0		30	nS

7. 应用

7.1. 串口+打印口（下图）

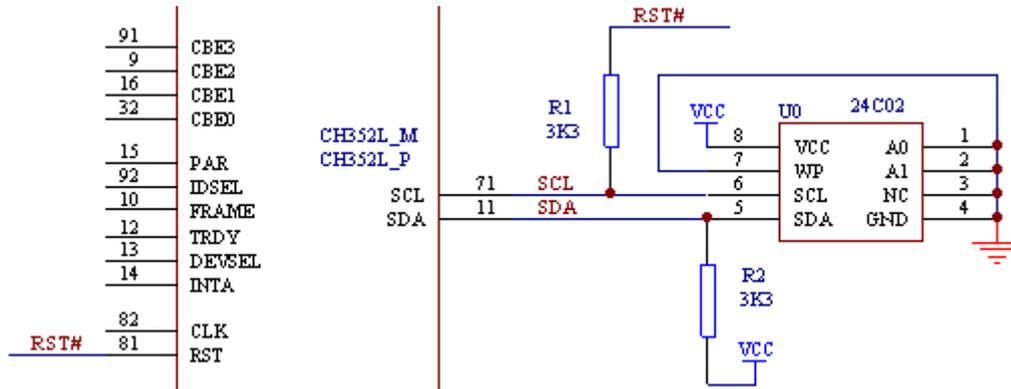
这是基于 CH352 芯片的串口+打印口/并口的电路。U3 是 RS232 电平转换芯片 75232，P3 是 10 脚双排针或者 DB9 插针。P2 是 IEEE1284 的 A 型 DB25 插孔（打印口连接器），串联电阻 R10~R17 和并联电容 C3~C10 用于并口数据线的阻抗匹配，要求不高时也可以省掉。晶体 X1 和电容 C1 及 C2 用于时钟振荡电路。电容 C0 和 C11~C15 及 C17~C18 用于电源退耦，C11~C15 和 C17~C18 是容量为 0.1uF 的独石或者高频瓷片电容，分别就近并联在 CH352 的三对电源引脚或者 75232 芯片的电源引脚上。

CH352 属于高频数字电路，应该考虑信号阻抗匹配，在设计 PCB 板时需要参考 PCI 总线规范。建议 CH352 的 PCI 信号线的长度都小于 35mm，尽量走弧线或者 45 度线，避免直角或者锐角走线，并且尽量将信号走线布在元件面，而在 PCB 背面保留大面积的接地覆铜。CH352 的 PCI 时钟线 CLK 的长度尽量保持在 50mm~65mm 之间，并且不宜靠近其它信号线，建议在 CLK 两侧及 PCB 背面布置接地线或者覆铜，以减少周边信号线的干扰。



7.2. 连接配置芯片 (下图)

这是串口+并口功能模式下 CH352 与外部配置芯片 24C02 的连接图，电阻 R2 用于 SDA 上拉，SCL 引脚不再接地，而是通过电阻 R1 连接到 PCI 总线的全局复位 RST 引脚。



7.3. 连接单片机 (下图)

PC 机通过 CH352 与单片机或者 DSP/MCU 进行双向数据传输，可以使用三种方式：一是使用异步串口通讯；二是使用支持自动硬件握手的 ECP 并口方式；三是使用 8255 并口方式，可以将 CH352 芯片直接挂接到单片机的数据总线上作为普通外设存取。

下图是普通的 MCS51 单片机 89C51 通过数据总线与工作于 8255 方式的 CH352 芯片连接的电路。

图中使用地址译码器 U3 产生 CH352 芯片的片选 MCS#, 如果单片机外设较少, 那么还可以省掉 U3, 直接用 P27 引脚驱动 CH352 的 MCS1, 用 P26 引脚驱动 CH352 的 MCS#。上述连接方法对于单片机而言, 作为外设的 CH352 的地址是 0B000H, 当单片机检测到 OBF#有效后, 读取 0B000H 地址可以取出下传数据并自动无效 OBF#; 当单片机检测到 IBF 无效后, 如果需要上传, 则可以向 0B000H 地址写入上传数据并自动有效 IBF, 直到 PC 机取走上传数据后自动无效 IBF。

