

衬底驱动超低压CMOS带隙基准电压源*

张海军 杨银堂 朱樟明 张宝君

(西安电子科技大学微电子研究所, 宽禁带半导体材料与器件教育部重点实验室, 西安, 710071)

2005-09-30 收稿, 2006-01-04 收改稿

摘要: 采用二阶温度补偿和电流反馈技术, 设计实现了一种基于衬底驱动技术和电阻分压技术的超低压CMOS带隙基准电压源。采用衬底驱动超低压运算放大器作为基准源的负反馈, 使其输出用于产生自身的电流源偏置, 其电源抑制比(*PSRR*)为-63.8 dB。采用Hspice仿真, 在0.9V电源电压下, 输出基准电压为572.45 mV, 温度系数为13.3 ppm/°C。在0.8~1.4V电源电压范围内, 输出基准电压变化3.5 mV。基于TSMC 0.25 μm 2P5M CMOS工艺实现的衬底驱动带隙基准电压源的版图面积为203 μm × 478.1 μm。

关键词: 衬底驱动; 超低压; 互补金属氧化物半导体; 带隙基准源; 温度系数; 电源抑制比

中图分类号: TN 402 **文献标识码:** A **文章编号:** 1000-3819(2006)04-531-05

Ultra-low Voltage CMOS Bandgap Voltage Reference Based on Bulk-driven Technique

ZHANG Haijun YANG Yintang ZHU Zhangming ZHANG Baojun

(Microelectronics Institute, Key Lab of Ministry of Education for Wide Band-gap Semiconductor Materials and Devices, Xidian University, Xi'an, 710071, CHN)

Abstract: Based on bulk-driven and resistive subdivision techniques, an ultra-low voltage CMOS bandgap reference using second-order temperature and current feedback techniques is realized. The bulk-driven op amp is applied as the negative feedback of the reference. Its output is used to bias its current sources, leading to a higher power supply rejection ratio (*PSRR*), that is -63.8 dB. The bandgap reference is simulated by Hspice simulator. Under a 0.9 V supply, the output voltage of the reference is 572.45 mV, and its temperature coefficient is 13.3 ppm/°C. The variation of the output with supply voltage range of 0.8~1.4 V is 3.5 mV. Based on TSMC 0.25 μm 2P5M CMOS process, the die area of the proposed bulk-driven bandgap voltage is 203 μm × 478.1 μm.

Key words: bulk-driven; ultra-low voltage; CMOS; bandgap reference; temperature coefficient; PSRR

EEACC: 1205; 1265H; 2560F; 2570D

1 引言

由于特征尺寸和栅氧厚度的持续减小以及便携

式设备和系统的飞速发展, 低压低功耗技术已经成为集成电路的重要发展方向之一。基准电压源广泛地应用于DRAM存储器、Flash存储器、模/数转换器(ADC)、数/模转换器(DAC)等集成电路中, 是模

* 基金项目: 国家自然科学基金(No. 60476046 90207022)和国家预研基金(No. 51408010601DZ01)资助
E-mail: zhjjwzz@263.net

拟集成电路中的重要模块。如今,由于电源电压的持续下降,低压低功耗、低温度系数、高电源抑制比的带隙基准电压源(Reference)设计变得十分关键,因为带隙基准电压的精度直接决定了A/D、D/A转换器的精度。然而,传统的带隙基准电压源的供电电压为1.2V以上,这是由于硅的能隙电压(约为1.2V)和所用运放的共模输入范围所导致的^[1,2]。因此,在低压或超低压应用时,传统的带隙基准电压源受到了极大的限制,迫切需要开发新的技术以实现当今低压低功耗的要求。文献[1,2]和文献[4~6]分别提出了一些新的设计技术。然而,这些技术由于需要特殊的制作工艺,占用较大的芯片面积而增加了成本。

笔者采用电流反馈技术、二阶温度补偿技术,设计了一种基于衬底驱动技术和电阻分压技术^[6,7]的超低压CMOS带隙基准电压源电路,其中所用的负反馈放大器为衬底驱动超低压运算放大器,其输出电压用于产生自身的电流源偏置电压以提高电源抑制比。基于TSMC 0.25 μm CMOS工艺的BSM 3V3模型,对所设计的超低压CMOS带隙基准源进行了

仿真实验,达到了较好的性能,所实现的版图面积为203 μm × 478.1 μm。

2 衬底驱动带隙基准电压源(BDBG R)

2.1 衬底驱动带隙基准电压源电路

所设计的超低压CMOS带隙基准电压源如图1所示,该电路由三部分组成:衬底驱动运放、基准源核心电路和启动电路。其中衬底驱动超低压运放的输出用于产生自身的电流源偏置,简化了电路,提高了电源抑制比(PSRR)。在基准源的核心电路中,正温度系数和负温度系数由二极管连接的纵向寄生PNP Q₁、Q₂管提供。通过调节电阻R₁~R₄可以得到所期望的基准输出电压。设R₁=R₁₁+R₁₂=R₂=R₂₁+R₂₂,其中R₁₁=R₂₁,R₁₂=R₂₂以保证X、Y节点的电压相等。M₉~M₁₂的栅端接运放的输出端,具有相同的尺寸,以保证各自的电流相等。在未进行温度二阶补偿,当电路平衡时,有:

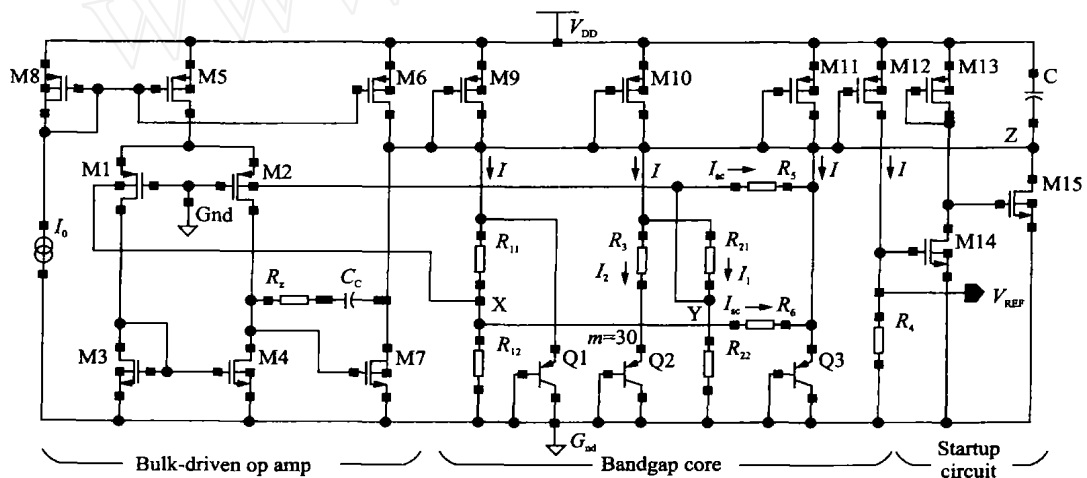


图1 衬底驱动超低压CMOS带隙基准电压源完整电路

Fig 1 The circuit of the bulk-driven based ultra-low voltage CMOS bandgap voltage reference

$$I = I_1 + I_2 = \frac{V_{EB1}}{R_2} + \frac{V_T}{R_3} \ln(N) \quad (1)$$

因此基准输出电压为:

$$V_{REF} = \frac{R_4}{R_2} \left[V_{EB1} + \frac{R_2}{R_3} V_T \ln(N) \right] \quad (2)$$

考虑运放的失调电压后,(2)式变为:

$$V_{REF} = \frac{R_4}{R_2} \left\{ V_{EB1} + \frac{R_2}{R_3} \left[V_T \ln(N) + \frac{R_2}{R_{22}} V_{OS} \right] \right\} \quad (3)$$

2.2 温度补偿

在(3)式中只运用了温度的一阶补偿技术。所谓

的温度一阶补偿,就是基准源对温度的微分在室温下为零。实际上,双极晶体管的EB结压降 V_{EB} 并不是随着温度线性变化的,而是由下式给出^[5]:

$$V_{EB}(T) = V_{BG} - (V_{BG} - V_{EB0}) \frac{T}{T_0} -$$

$$(\eta - \alpha) V_T \ln \frac{T}{T_0} \quad (4)$$

其中 η 取决于双极晶体管的结构,约等于4。当双极晶体管中的电流是与绝对温度成正比(PTAT)的电流时, $\alpha=1$,否则 $\alpha=0$,在(3)式中,只对输出基准电压进行了温度的一阶补偿,而(4)式中的二阶温度项

对基准输出电压也有一定的影响, 因此需要对其进行补偿。

笔者对所设计的基准电压源进行了温度的二阶补偿, 基本思想是: 在双极晶体管EB 结上, 通过对一个与温度无关的电流($\alpha=0$) 和一个与热力学温度成正比(PTAT)的电流($\alpha=1$) 的组合来消除式中的非线性项。由图1可知, 流过晶体管 Q_1 、 Q_2 的电流是与温度成正比(PTAT)的电流($\alpha=1$), 而经过温度一阶补偿后, PMOS 管 M_9 、 M_{10} 中的电流基本是与温度无关的电流($\alpha=0$)。所以, 如果用 M_{11} 镜像复制 M_9 、 M_{10} 中的电流, 再将 M_{11} 与双极晶体管 Q_3 相连, 就产生了一个 $\alpha \approx 0$ 的 V_{EB} 压降。运用式(4), 可以得到 $Q_{1,2}$ 、 Q_3 晶体管的 V_{EB} 表达式分别为:

$$V_{EB,Q_{1,2}}(T) = V_{BG} - (V_{BG} - V_{EB0}) \frac{T}{T_0} - (\eta - 1)V_T \ln \frac{T}{T_0} \quad (5)$$

$$V_{EB,Q_3}(T) = V_{BG} - (V_{BG} - V_{EB0}) \frac{T}{T_0} - \eta V_T \ln \frac{T}{T_0} \quad (6)$$

将两式相减, 得到一个与式(4)中非线性项成正比的电压, 即

$$V_{SC} = V_{EB,Q_{1,2}}(T) - V_{EB,Q_3}(T) = V_T \ln \frac{T}{T_0} \quad (7)$$

因此, 由式(7)可知, 通过抽取 M_9 、 M_{10} 管中电流 I 的一部分电流, 就能产生与电压 V_{SC} 成正比的电流 I_{SC} 。如图1所示, 该电流 I_{SC} 通过在 M_{11} 管的漏端增加电阻 R_5 和 R_6 以获得所需要的电流 I_{SC} 。由此得到二阶温度补偿后的基准输出电压:

$$V_{REF} = \frac{R_4}{R_2} \left[V_{EB1} + \frac{R_2}{R_3} V_T \ln(N) + \frac{R_2}{R_{5,6}} V_{SC} \right] \quad (8)$$

由图可知, 对温度的二阶补偿仅需要增加一个电流镜 M_{11} 和两个电阻 R_5 、 R_6 , 因此, 相比于其他结构, 简化了电路, 而且获得了良好的性能。

2.3 衬底驱动运算放大器

在带隙基准电压源电路中, 要求运放具有较宽的共模输入范围、较高的增益和稳定性、较小的失调电压和噪声^[3]。从以上要求出发, 设计了应用于图1中的两级衬底驱动超低压CMOS 运放。采用TSMC 0.25 μm CMOS 工艺的BSM3V3 模型, 用Hspice 对衬底驱动运放单独进行了仿真分析。运放第一级采用衬底驱动差分对, 其信号输入端接在MOS 管的衬底端, 而在栅端接固定电位以在栅下形成导电沟道, 从而获得了较大的共模输入范围。第二级采用传统的共源放大器以提高放大器的增益。用米勒补偿

电容 C_c 进行频率补偿, 电阻 R_z 消除右半平面零点, 使电路有良好的稳定性。所设计运放中的器件参数如表2所示。当电源电压为0.9V, 共模电压为0.4V 时, 其直流开环增益为70 dB, 单位增益带宽为211 kHz, 相位裕度为67°。其幅频相频特性如图2所示, 各项性能指标如表1所示。

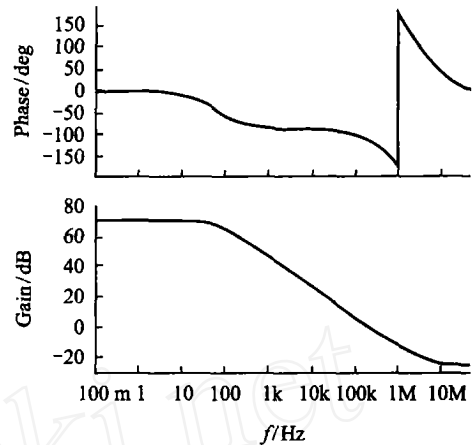


图2 衬底驱动运放幅频相频特性

Fig. 2 The phase and gain characteristics of the bulk-driven op amp

表1 衬底驱动运放性能指标

Tab 1 The characteristic parameters of the bulk-driven op amp

Parameters	Value
DC gain/dB	70
GB/kHz	211
Phase margin	67°
ICMR/mV	54.7~89.7
Offset voltage/ μV	16.3
Total current/ μA	1.1
PSRR/dB	-63.8
Power dissipation/ μW	0.95
Power supply/V	0.9

2.4 启动电路

带隙基准电压源存在两个电路平衡点, 即零点和正常工作点。当基准源工作于零点时, 运放两输入端的电压为零, 基准源核心电路中没有电流。因此, 为保证基准源正常工作, 必须设计启动电路^[6]。如图1所示, 启动电路由 M_{13} ~ M_{15} 构成, 其中 M_{13} 管以二极管方式连接。当基准源处于零点时, 基准核心电路没有电流, 此时 M_{15} 管的栅极电位被迅速提高, M_{15} 管导通, Z 节点电位开始下降, 即 M_9 ~ M_{12} 管的栅极电位下降, 开始导通, 电流注入到核心电路

中,带隙基准电压源开始正常工作。当电路启动后, M 12 管的漏极电位升高, M 14 管导通, 将 M 15 管的栅极电位拉低, 因此 M 15 管截止, 完成了基准源的正常启动。

2 5 仿真与分析

所设计的带隙基准电压源的器件参数如表 2 所示。所有 MOSFET 的沟道长度都取 $L = 2 \mu\text{m}$ 以减小短沟道和沟道长度调制效应, M 9~ M 12 管的宽长比较大是为了降低电路中的 $1/f$ 噪声, 差分输入对管 M 1、M 2 尺寸较大是为了抑制电路中的热噪声。电路中的电阻用多晶硅电阻实现, 电容 C 有助于电路的稳定, 同时可以减小运放的带宽, 降低噪声的影响。

表 2 电路元件参数(所有 $L = 2 \mu\text{m}$)

Tab 2 Parameters of devices in the circuit

MOSFET Width/ μm									
M 1~ M 2	M 3~ M 4	M 5	M 6	M 7	M 8	M 9~ M 12	M 13, M 15	M 14	
60	20	32	128	160	16	176	20	100	
Cap/pF		Resistance/k Ω				Emitter Area/ μm^2			
C_c	C	R_1, R_2	R_3	R_4	R_5, R_6	R_z	Q_1, Q_3	Q_2	
0.5	10	155.8	21	80	38.7	2.5	10×10	300×10	

基于 TSMC 0.25 μm CMOS 工艺的 BSM 3V 3 模型, 用 Hspice 对所设计的衬底驱动超低压 CMOS 带隙基准电压源进行仿真。图 3 为电源电压 $V_{dd} = 0.9 \text{ V}$, $T = 300 \text{ K}$ 时的瞬态特性, 输出基准电压为 572.45 mV, 功耗仅为 44.2 μW 。图 4 给出了当电源电压 $V_{dd} = 0.9 \text{ V}$ 时, 带隙基准电压源的温度特性, 在 $-20 \sim 100 \text{ }^\circ\text{C}$ 温度范围内, 基准输出电压范围为 572.4~ 574 mV, 温度系数为 13.3 ppm/ $^\circ\text{C}$ 。图 5 是其电源电压特性, 在 0.8~ 1.4 V 的电源电压范围内, 基准输出电压为 572.5~ 576 mV, 输出变化量 $\Delta V_{\text{REF}} = 3.5 \text{ mV}$, 具有较好的电源抑制特性。基于 TSMC 0.25 μm 2P5M CMOS 工艺实现了图 1 的衬底驱动带隙基准电压源, 版图(layout)如图 6 所示。

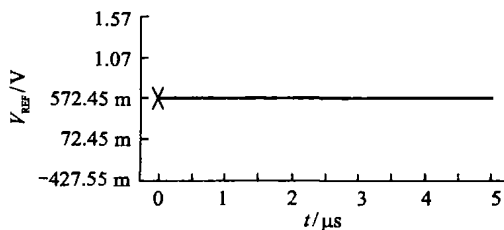


图 3 衬底驱动基准源瞬态特性

Fig 3 The transient characteristics of the bulk-driven reference

版图面积为 $203 \mu\text{m} \times 478.1 \mu\text{m}$ 。

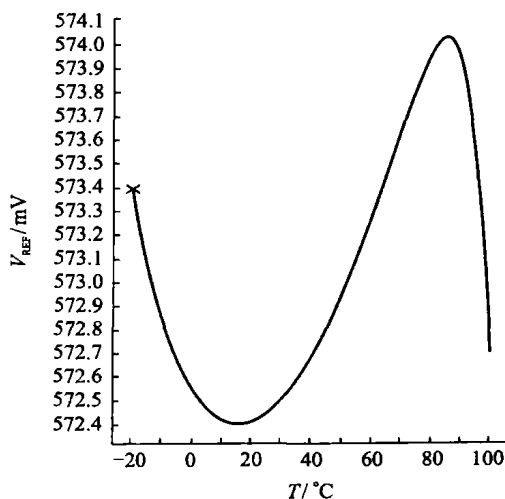


图 4 衬底驱动基准电压源的温度特性

Fig 4 The temperature characteristics of the bulk-driven voltage reference

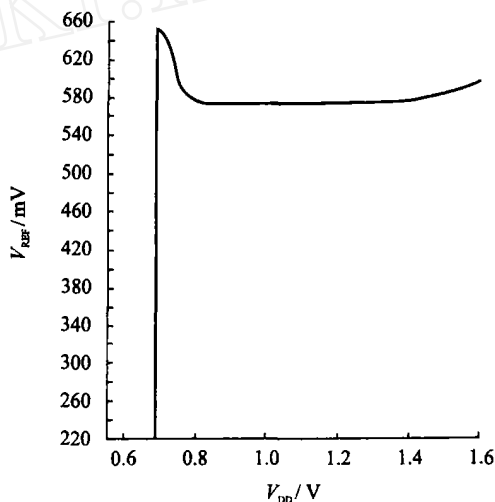


图 5 衬底驱动基准电压源的电源电压特性

Fig 5 The voltage characteristics of the bulk-driven voltage reference

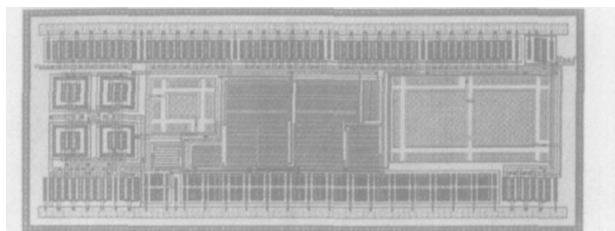


图 6 衬底驱动带隙基准电压源(BDBG R)版图

Fig 6 The layout of the bulk-driven bandgap voltage reference (BDBG R)

3 结 论

采用二阶温度补偿和电流反馈技术, 设计了一

种基于衬底驱动技术和电阻分压技术的超低压 CMOS 带隙基准电压源。该基准源的最低电源电压可以达到 0.8 V。采用衬底驱动超低压运算放大器作为基准源的负反馈,使其输出用于产生自身的电流源偏置,提高了电源抑制比($PSRR$)。仿真结果表明,所设计的衬底驱动 CMOS 带隙基准电压源非常适合超低压应用,并且具有良好的性能。

参 考 文 献

- [1] Annema A J. Low-power bandgap reference featuring DTMOST's [J]. IEEE Journal of Solid-state Circuits, 1999, 34(7): 949-955
- [2] Jiang Y, Lee I K F. Design of low-voltage bandgap reference using transimpedance amplifier [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 2000, 47(6): 552-555
- [3] Aldokhael A, Yamazaki A, Ismail M. A sub-1 volt CMOS bandgap voltage reference based on body-driven technique [C]. The 2nd Annual IEEE Northeast Workshop on Circuits and Systems, Montreal, Canada, IEEE, 2004: 5-8
- [4] Leung K N, Mok P K T. A sub-1-V 15 ppm/ $^{\circ}\text{C}$ CMOS bandgap voltage reference without requiring low threshold voltage device [J]. IEEE Journal of Solid-state Circuits, 2002, 37(4): 526-530
- [5] Malcovati P, Maloberti F, Ficchi C, et al. Curvature-compensated BiCMOS bandgap with 1-V supply voltage [J]. IEEE Journal of Solid-state Circuits, 2001, 36(7): 1 076-1 081.
- [6] Lasanen K, Korkala V, Raisanen-Ruotsalainen E, et al. Design of 1-V low power CMOS bandgap reference

based on resistive subdivision [J]. IEEE Transactions on Circuits and Systems II, 2002, 3(5): 564-567.

- [7] Blalock B J, Allen P E, Rincon-Mora G A. Designing 1-V op amps using standard digital CMOS technology [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1998, 45(7): 769-780



张海军 (ZHANG Haijun) 男, 1979 年生, 重庆市人, 硕士研究生, 主要研究方向为低压低功耗 CMOS 模拟集成电路设计。



杨银堂 (YANG Yintang) 男, 1962 年生, 西安电子科技大学微电子研究所所长, 教授, 博士生导师, 主要研究方向为深亚微米模拟集成电路及 IP 设计、VLSI 技术、新型半导体材料与器件。



朱樟明 (ZHU Zhangming) 男, 西安电子科技大学微电子研究所博士, 讲师, 主要研究方向为高速 ADC/DAC 设计、低功耗混合信号 SOC 设计。