

STAR WOLF 开发板 MDC704_V1 用户手册

目录

目录.....	1
1. 关于本手册.....	3
1.1 手册内容.....	3
1.2 术语、缩略语.....	3
1.3 相关文档.....	3
1.4 技术支持与反馈.....	4
2. 开发板简介.....	5
2.1 概述.....	5
2.2 系统框图.....	5
2.3 特性.....	5
2.4 开发板 PCB 组件.....	6
3. 功能描述.....	9
3.1 FPGA.....	9
3.1.1 概述.....	9
3.1.2 BANK 说明.....	9
3.1.3 管脚分配.....	10
3.1.4 供电说明.....	10
3.1.5 JTAG 接口.....	11
3.1.6 FPGA 配置.....	11
3.2 Sync XRAM.....	12
3.2.1 概述.....	12
3.2.2 模块框图.....	12
3.2.3 管脚分配.....	12
3.3 SPI Flash.....	14
3.3.1 概述.....	14
3.3.2 SPI Flash 电路.....	14
3.3.3 管脚分配.....	14
3.4 10/100/1000M Ethernet PHY.....	14
3.4.1 概述.....	14
3.4.2 模块框图.....	15
3.4.3 管脚分配.....	15
3.5 HDMI.....	16
3.5.1 概述.....	16
3.5.2 模块框图.....	16
3.5.3 管脚分配.....	17
3.6 Audio Codec.....	17
3.6.1 概述.....	17
3.6.2 模块框图.....	18
3.6.3 管脚分配.....	18
3.7 USB 转 UART.....	19
3.7.1 概述.....	19

3.7.2 USB 转 UART 电路.....	19
3.7.3 管脚分配.....	19
3.8 EEPROM.....	19
3.8.1 概述.....	19
3.8.2 EEPROM 电路.....	20
3.8.3 管脚分配.....	20
3.9 Micro SD 卡座子.....	20
3.9.1 概述.....	20
3.9.2 Micro SD 卡座子电路.....	21
3.9.3 管脚分配.....	21
3.10 摄像头接口.....	21
3.10.1 概述.....	21
3.10.2 摄像头接口电路.....	22
3.10.3 管脚分配.....	22
3.11 数码管.....	23
3.11.1 概述.....	23
3.11.2 数码管电路.....	23
3.11.3 管脚分配.....	24
3.12 拨码开关.....	24
3.12.1 概述.....	24
3.12.2 拨码开关电路.....	24
3.12.3 管脚分配.....	25
3.13 用户按键.....	25
3.13.1 概述.....	25
3.13.2 用户按键电路.....	25
3.13.3 管脚分配.....	26
3.14 呼吸灯.....	26
3.14.1 概述.....	26
3.14.2 呼吸灯电路.....	26
3.14.3 管脚分配.....	27
3.15 GPIO.....	27
3.15.1 概述.....	27
3.15.2 GPIO 电路.....	27
3.15.3 管脚分配.....	27
3.16 50MHz 有源晶振.....	28
3.16.1 概述.....	28
3.16.2 50MHz 有源晶振电路.....	29
3.16.3 管脚分配.....	29
4. 电源.....	30
5. 装配图.....	31
6. 开发板使用注意事项.....	32
7. 开发软件介绍.....	33
8. 历史版本.....	34

1. 关于本手册

1.1 手册内容

- 简述开发板的功能特点和硬件资源
- 介绍开发板上各模块硬件的电路功能及管脚分配
- 介绍电源系统分配
- 开发板使用注意事项

1.2 术语、缩略语

Abbreviations 缩略语	Full Spelling 英文全拼	Explanation 中文解释
FPGA	Field Programmable Gate Array	用户可编程门阵列
Sync XRAM	Synchronous XRAM	同步静态随机存储器
SPI	Serial Peripheral Interface	串行外设接口
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发传输器
USB	Universal Serial Bus	通用串行总线
I2C	Inter Integrated Circuit	I2C 总线
LED	Light Emitting Diode	发光二极管
GPIO	General Purpose Input Output	通用输入/输出
RGMII	Reduced Gigabit Media Independent Interface	精简吉比特介质独立接口
EEPROM	Electrically Erasable Programmable read only memory	带电可擦可编程只读存储器
HDMI	High Definition Multimedia Interface	高清多媒体接口

表 1 缩略语

1.3 相关文档

- Spartan-6 FPGA Configuration User Guide
- Spartan-6 FPGA Packaging and Pinouts
- Spartan-6 DC and Switching Characteristics
- XM7A02M36_04M18V33A(72M)

1.4 技术支持与反馈

星忆存储为大家提供全方位的技术支持，在使用过程中如有任何疑问，可直接与公司联系：

网址：WWW.XINGMEM.COM

Email: info@xingmem.com

Tel: +86-755-8633-6223

2. 开发板简介

2.1 概述

STAR WOLF 系列开发板 MDC704_V1 是以 Xilinx Spartan-6 为主控芯片，并基于星忆存储 7 系列 Sync XRAM 芯片为核心的市场推广板卡。主要集成了 XRAM 存储模块、摄像头模块、HDMI 显示模块、音频编解码模块和千兆网络 PHY 模块等，板载 XRAM 芯片、FPGA 芯片、HDMI 显示 PHY 芯片、音频编解码芯片、千兆网络 PHY 芯片、USB 转 UART 芯片、SPI Flash、EEPROM、Micro SD 卡座子、LED 呼吸灯、数码管、拨码开关、用户按键、摄像头模组接口及 GPIO 接口。

2.2 系统框图

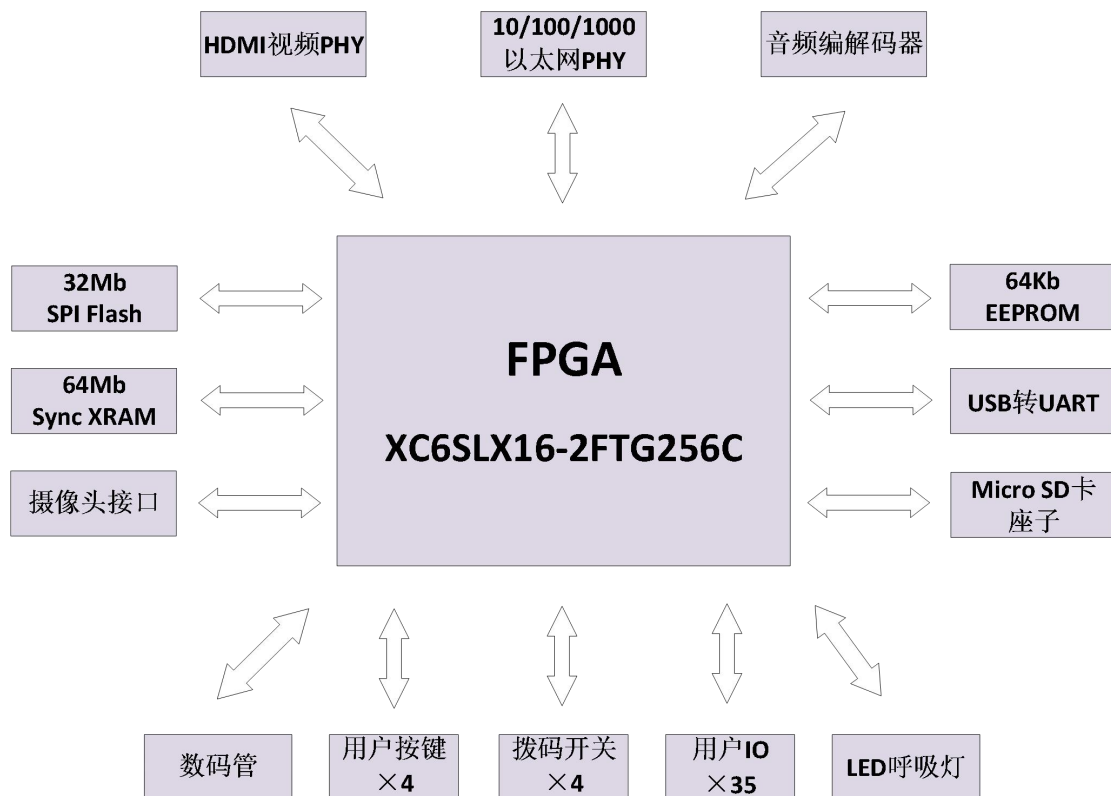


图 1 系统框图

2.3 特性

开发板组成结构及特性如下：

- Xilinx Spartan-6 XC6SLX16-2FTG256C
 - 32Mb SPI 配置 Flash
 - JTAG 配置接口

- Memory
 - 64Mb 16 位 Sync XRAM
 - 64Kb EEPROM
- Interface
 - 10/100/1000M 以太网 RJ45 接口
 - HDMI 显示接口
 - 音频编解码
 - USB 转 UART
 - Micro SD 卡座子
 - 摄像头接口
- 用户 IO
 - 1 个两位八段数码管
 - 1 个四位拨码开关
 - 4 个用户按键
 - 1 个 LED 呼吸灯
 - 35 条 GPIO
- 板载晶振
 - 50MHz 有源晶振

2.4 开发板 PCB 组件

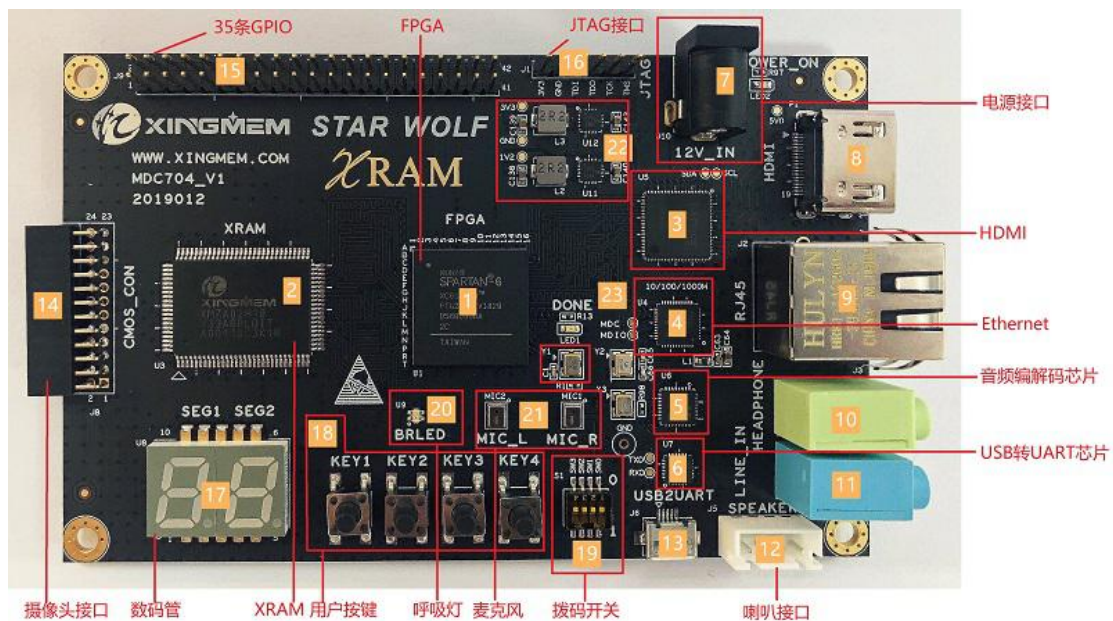


图 2 开发板 PCB 顶面组件图

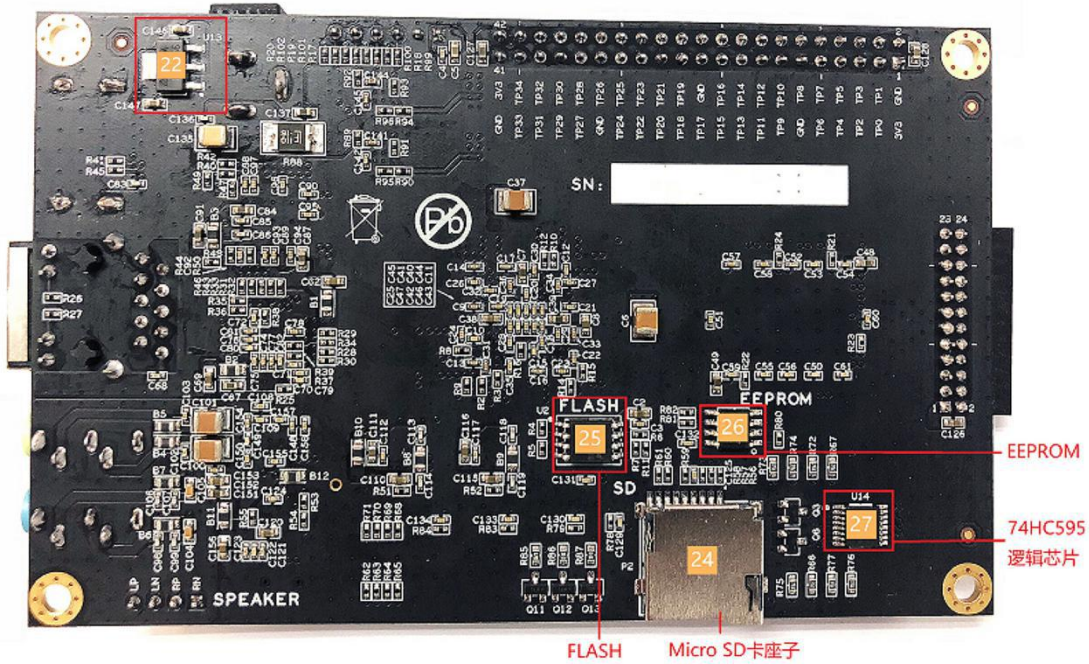


图 3 开发板 PCB 底面组件图

序号	位号	元器件描述	原理图页码
1	U1	Xilinx Spartan-6 FPGA XC6SLX16-2FTG256C	4-7
2	U3	星忆存储 Sync XRAM XM7A04M18V33A60LQIT	8
3	U5	HDMI 显示 PHY 芯片 SiI9022ACNU	10
4	U4	千兆网络 PHY 芯片 RTL8211E-VB-CG	9
5	U6	音频编解码芯片 WM8960CGEFL/RV	11
6	U7	USB 转 UART 芯片 CP2104-F03-GM	12
7	J10	12V 电源输入连接器	16
8	P1	HDMI 连接器	10
9	J2	带 LED、网络变压器的 RJ45 连接器	9
10	J3	Headphone output 绿色耳机座	11
11	J4	Line in 蓝色耳机座	11
12	J5	4P、2.5mm 间距白色接线端子	11
13	J6	Micro usb 连接器母座	12
14	J8	摄像头接口：12×2pin、2.0mm 间距、90 度弯插排母	14
15	J9	GPIO:21×2pin、2.54mm 间距、180 度直插排针	14
16	J1	JTAG 接口：6×1pin、2.54mm 间距、180 度直插排针	6
17	U8	两位、灰面白光、带小数点八段数码管	15
18	KEY1、KEY2、KEY3、KEY4	四个轻触按键	15
19	S1	四位拨码开关	15
20	U9	LED 呼吸灯 19-237/R6GHBHC-A01/2T	15

21	MIC2、MIC1	左右声道麦克风 AOS3729A-T42-NXC	11
22	U11、U12、 U13	电源模块 TLV62130ARGTR AZ1117H-5.0TRE1	16
23	Y1	50MHz 有源晶振	5
24	P2	Micro SD 卡座子	13
25	U2	32Mbit SPI Flash W25Q32JVSSIQ	6
26	U10	64Kbit EEPROM M24C64-WMN6TP	15
27	U14	逻辑芯片 74HC595PW	15

表 2 开发板关键元器件描述

3. 功能描述

3.1 FPGA

3.1.1 概述

- 型号：Xilinx Spartan-6 XC6SLX16-2FTG256C
- 14579 个逻辑单元、136Kb 可配置逻辑块、片上 576Kb RAM 资源、2 个时钟单元
- 封装：BGA256，186 条用户 IO
- 工作温度：0-85℃

Device	Logic Cells ⁽¹⁾	Configurable Logic Blocks (CLBs)			DSP48A1 Slices ⁽³⁾	Block RAM Blocks		CMTs ⁽⁵⁾	Memory Controller Blocks (Max) ⁽⁶⁾	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices ⁽²⁾	Flip-Flops	Max Distributed RAM (Kb)		18 Kb ⁽⁴⁾	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

图 4 FPGA 资源信息表

3.1.2 BANK 说明

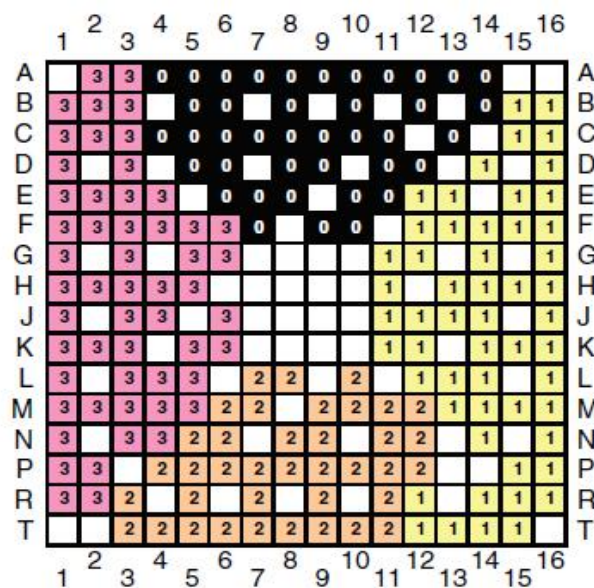


图 5 FPGA I/O BANK 整体示意图

3.1.3 管脚分配

BANK	连接模块
0	<ul style="list-style-type: none"> • 用户 I/O • 拨码开关
1	<ul style="list-style-type: none"> • 拨码开关 • HDMI 显示模块 • 千兆网络 PHY 模块 • 音频编解码模块
2	<ul style="list-style-type: none"> • 呼吸灯 • EEPROM • USB 转 UART • 用户按键 • Micro SD 卡接口 • 板载时钟 50MHz • 数码管 • 摄像头接口
3	<ul style="list-style-type: none"> • 摄像头接口 • Sync XRAM

表 3 FPGA I/O 管脚分布

3.1.4 供电说明

VCCINT 为 FPGA 内核电压, 连接 1.2V; VCCIO_0 至 VCCIO_3 分别为 BANK0 至 BANK3 的 IO 电压, 都为 3.3V; VCCAUX 为辅助电压, 连接 3.3V。电源连接如图 6 所示:

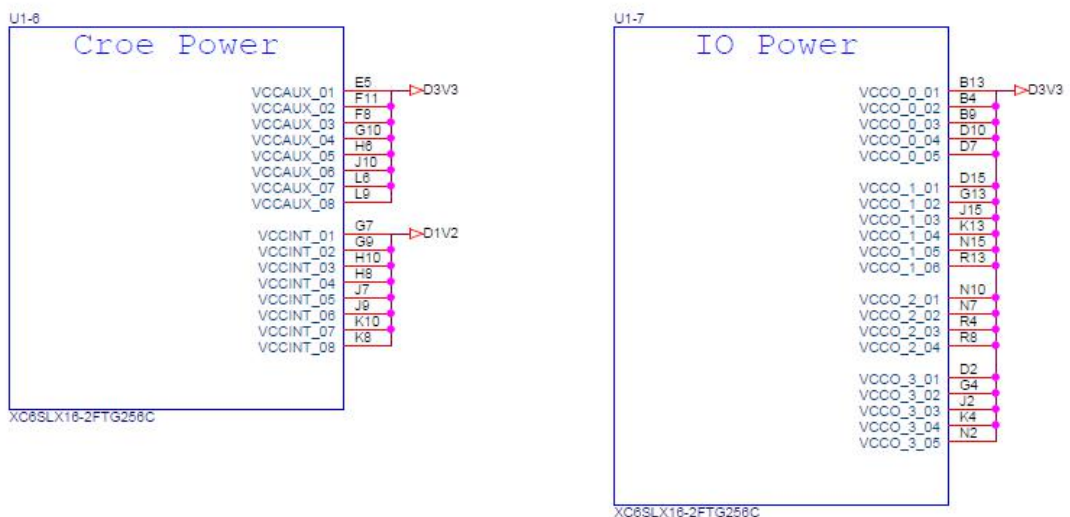


图 6 FPGA 电源引脚

3.1.5 JTAG 接口

JTAG 接口可以用于 FPGA 的配置和调试。JTAG 接口有四根信号，分别是 TDI、TDO、TCK 和 TMS，这四个信号由 FPGA 引出经过 40.2R 的串阻连到 JTAG 连接器，其中串阻起到了保护 FPGA 的作用；10K 的上拉电阻增强了信号的驱动能力。

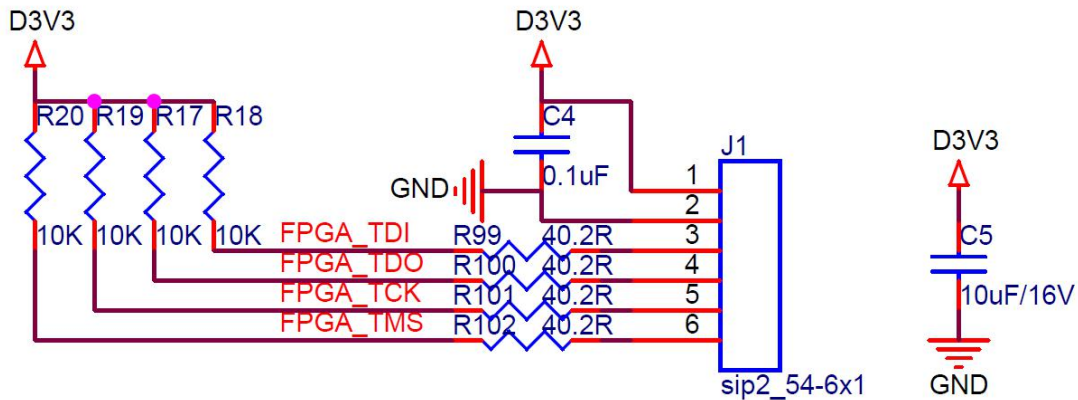


图 7 FPGA JTAG 接口

3.1.6 FPGA 配置

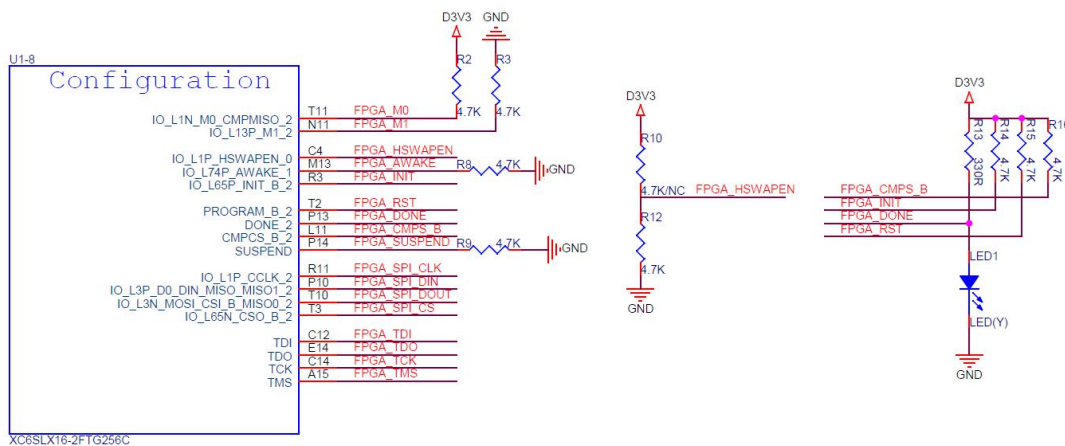


图 8 FPGA 配置

- FPGA 启动配置模式为 Master SPI，M[1:0]配置成 01，如图 9：

Configuration Mode	M[1:0]	Bus Width	CCLK Direction
Master Serial/SPI	01	1, 2, 4 ⁽¹⁾	Output

图 9

- HSWAPEN 下拉到地：在配置过程中用户 IO 被上拉。如图 10：

Pin Name	FPGA Direction	Description	During Configuration	After Configuration
HSWAPEN	Input	User I/O Pull-Up Control. When Low during configuration, enables pull-up resistors in all I/O pins to respective I/O bank V _{CC0} input. 0: Pull-ups during configuration 1: No pull-ups	Drive at valid level throughout configuration.	User I/O

图 10

- DONE 灯在配置完成前，DONE 引脚为低电平，DONE 灯灭；配置完成后，DONE 引脚被拉高，DONE 灯亮。

DONE	Bidirectional, Open-Drain, or Active	Dedicated	Active-High signal indicating configuration is complete: 0 = FPGA not configured 1 = FPGA configured Refer to the BitGen section of UG628 , <i>Command Line Tools User Guide</i> for software settings.
------	--------------------------------------	-----------	--

图 11

3.2 Sync XRAM

3.2.1 概述

- 型号：XM7A04M18V33A60LQIT
- 位宽为 18bit、容量为 72Mb，此开发板占用 16 条 DQ，可使用容量为 64Mb
- 内核电压 VDD 为 2.5V 或 3.3V，IO 电压 VDDQ 为 2.5V 或 3.3V，此开发板中 VDD 和 VDDQ 都连接 3.3V
- 封装：LQFP100，外形尺寸：22mm×16mm
- 工业级、工作温度范围：-40-85℃

3.2.2 模块框图

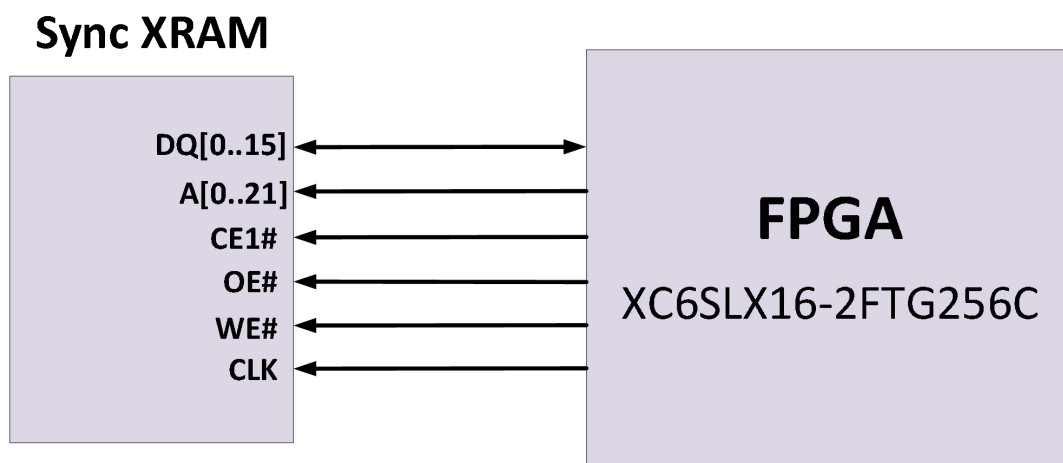


图 12 Sync XRAM 模块电路框图

3.2.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
SYNC_XRAM_A0	地址线 A0	3	L1	3.3V
SYNC_XRAM_A1	地址线 A1	3	M1	3.3V
SYNC_XRAM_A2	地址线 A2	3	J1	3.3V

SYNC_XRAM_A3	地址线 A3	3	M2	3.3V
SYNC_XRAM_A4	地址线 A4	3	H1	3.3V
SYNC_XRAM_A5	地址线 A5	3	N1	3.3V
SYNC_XRAM_A6	地址线 A6	3	H2	3.3V
SYNC_XRAM_A7	地址线 A7	3	P1	3.3V
SYNC_XRAM_A8	地址线 A8	3	G1	3.3V
SYNC_XRAM_A9	地址线 A9	3	P2	3.3V
SYNC_XRAM_A10	地址线 A10	3	F2	3.3V
SYNC_XRAM_A11	地址线 A11	3	K5	3.3V
SYNC_XRAM_A12	地址线 A12	3	E1	3.3V
SYNC_XRAM_A13	地址线 A13	3	E2	3.3V
SYNC_XRAM_A14	地址线 A14	3	H4	3.3V
SYNC_XRAM_A15	地址线 A15	3	H5	3.3V
SYNC_XRAM_A16	地址线 A16	3	G6	3.3V
SYNC_XRAM_A17	地址线 A17	3	K1	3.3V
SYNC_XRAM_A18	地址线 A18	3	K2	3.3V
SYNC_XRAM_A19	地址线 A19	3	G5	3.3V
SYNC_XRAM_A20	地址线 A20	3	H3	3.3V
SYNC_XRAM_A21	地址线 A21	3	L3	3.3V
SYNC_XRAM_DQ0	数据线 DQ0	3	F3	3.3V
SYNC_XRAM_DQ1	数据线 DQ1	3	F4	3.3V
SYNC_XRAM_DQ2	数据线 DQ2	3	G3	3.3V
SYNC_XRAM_DQ3	数据线 DQ3	3	K6	3.3V
SYNC_XRAM_DQ4	数据线 DQ4	3	F6	3.3V
SYNC_XRAM_DQ5	数据线 DQ5	3	D3	3.3V
SYNC_XRAM_DQ6	数据线 DQ6	3	E4	3.3V
SYNC_XRAM_DQ7	数据线 DQ7	3	E3	3.3V
SYNC_XRAM_DQ8	数据线 DQ8	3	F5	3.3V
SYNC_XRAM_DQ9	数据线 DQ9	3	L4	3.3V
SYNC_XRAM_DQ10	数据线 DQ10	3	M3	3.3V
SYNC_XRAM_DQ11	数据线 DQ11	3	L5	3.3V
SYNC_XRAM_DQ12	数据线 DQ12	3	N3	3.3V
SYNC_XRAM_DQ13	数据线 DQ13	3	M4	3.3V
SYNC_XRAM_DQ14	数据线 DQ14	3	N4	3.3V
SYNC_XRAM_DQ15	数据线 DQ15	3	M5	3.3V
SYNC_XRAM_CE1#	芯片使能, 低有效	3	K3	3.3V
SYNC_XRAM_CLK	时钟输入	3	J4	3.3V
SYNC_XRAM_OE#	输出使能, 低有效	3	J6	3.3V
SYNC_XRAM_WE#	写入使能, 低有效	3	J3	3.3V

表 4 SYNC XRAM 引脚分配及定义

3.3 SPI Flash

3.3.1 概述

SPI Flash 用于存放 FPGA 的配置文件，有如下几点特征：

- 型号：W25Q32JVSSIQ，封装为 SOIC8_208mil，容量为 32Mb
- 支持 SPI ×1 和×2 模式
- 电源电压 VCC 为 3.3V
- 工作温度范围：-40-85℃

3.3.2 SPI Flash 电路

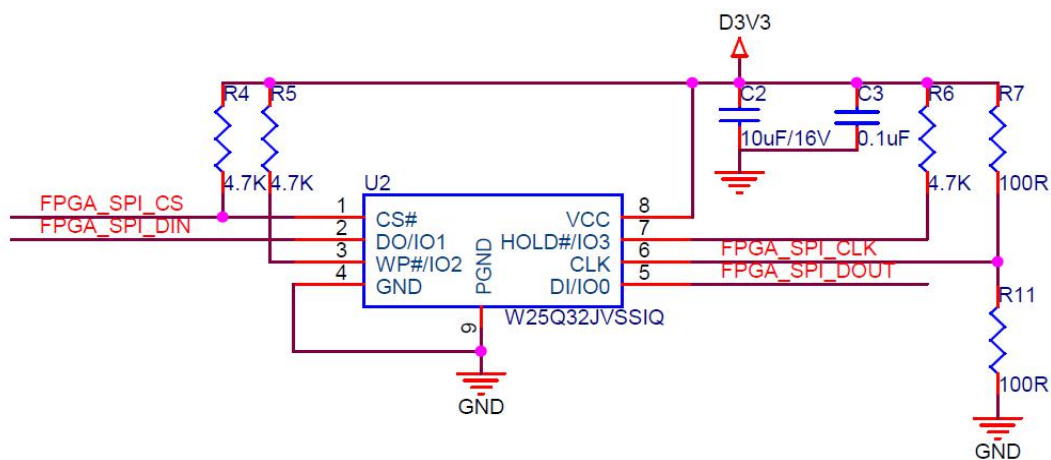


图 13 SPI Flash 电路原理图

3.3.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
FPGA_SPI_CLK	时钟信号	2	R11	3.3V
FPGA_SPI_DIN	数据线	2	P10	3.3V
FPGA_SPI_DOUT	数据线	2	T10	3.3V
FPGA_SPI_CS	片选信号	2	T3	3.3V

表 5 SPI Flash 引脚分配及定义

3.4 10/100/1000M Ethernet PHY

3.4.1 概述

- 型号：RTL8211E-VB-CG，封装为 QFN48
- 可支持 10/100/1000M 自协商
- RTL8211E 通过 RGMII 接口与 FPGA 通信
- 工作温度：0-70℃

3.4.2 模块框图

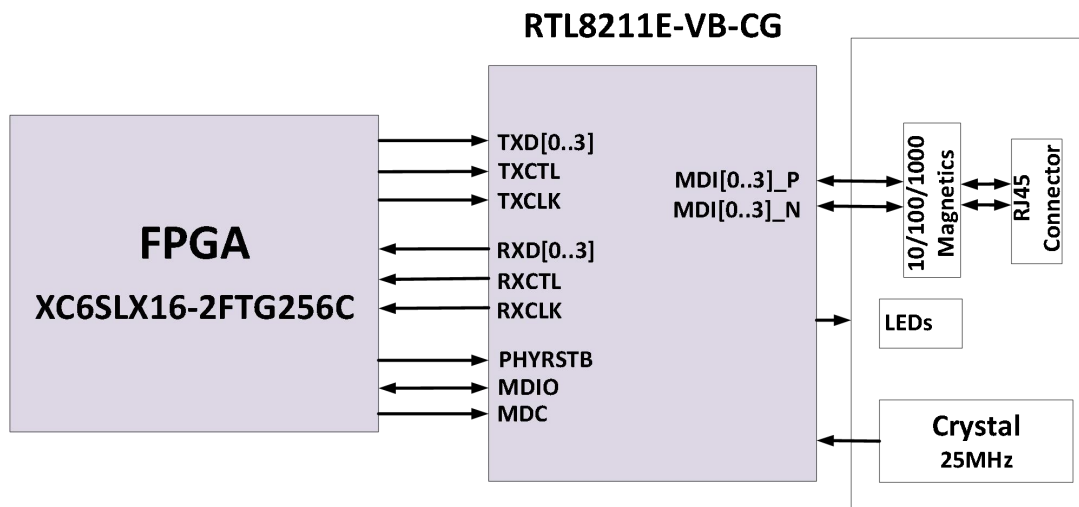


图 14 千兆网络 PHY 芯片模块电路框图

- RTL8211E-VB-CG 需要一个 25MHz 的时钟输入
- 预留 ETH_MDIO、ETH_MDC 信号测试点
- RJ45 连接器带黄色和绿色 LED 灯，LED0 接黄灯，黄灯闪烁代表有数据传输；LED1 接绿灯，绿灯亮表明网络已连接上
- PHY 芯片中的 LED0、LED1 引脚与 PHY 地址 PHYAD0、PHYAD1 复用，LED 及 PHY 地址配置如图 15：

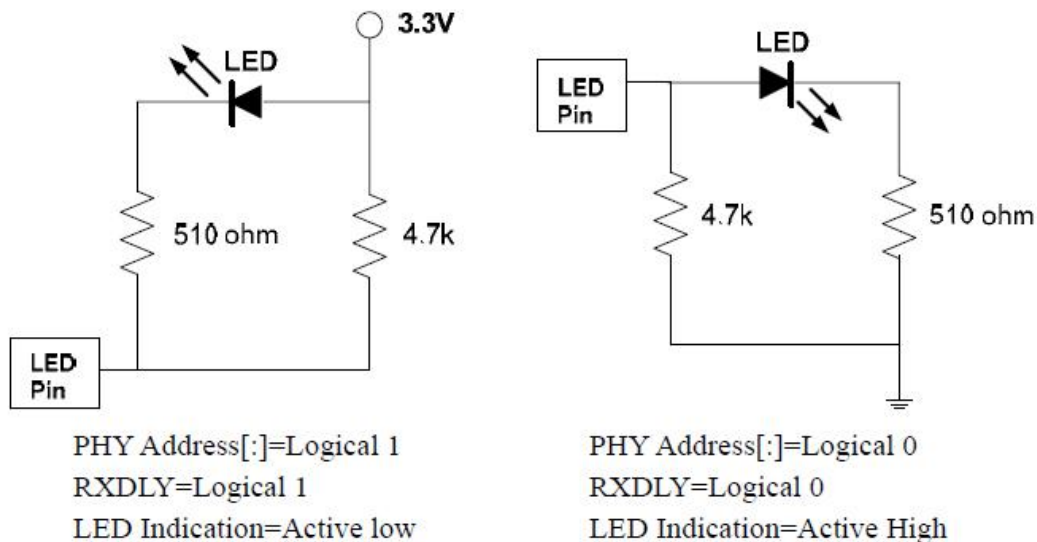


图 15 LED 及 PHY 地址配置

3.4.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
ETH_TXD0	发送数据 0	1	L16	3.3V
ETH_TXD1	发送数据 1	1	K16	3.3V
ETH_TXD2	发送数据 2	1	N16	3.3V

ETH_TXD3	发送数据 3	1	M15	3.3V
ETH_TXCTL	来自 MAC 的接收控制信号	1	N14	3.3V
ETH_TXCLK	发送参考时钟	1	K15	3.3V
ETH_RXD0_SELRGV	接收数据 0	1	L12	3.3V
ETH_RXD1_TXDLY	接收数据 1	1	M14	3.3V
ETH_RXD2_AN0	接收数据 2	1	L14	3.3V
ETH_RXD3_AN1	接收数据 3	1	L13	3.3V
ETH_RXCTL_AD2	给 MAC 的发送控制信号	1	M16	3.3V
ETH_RXCLK	接收参考时钟	1	J16	3.3V
ETH_MDC	管理数据时钟	1	P16	3.3V
ETH_MDIO	管理数据的输入/输出	1	P15	3.3V
ETH_RST	硬件复位	1	R15	3.3V

表 6 千兆网络 PHY 芯片引脚分配及定义

3.5 HDMI

3.5.1 概述

- 型号：SiI9022ACNU，封装为 QFN72
- 采样格式为 RGB 8:8:8
- 工作温度范围：-20-85℃

3.5.2 模块框图

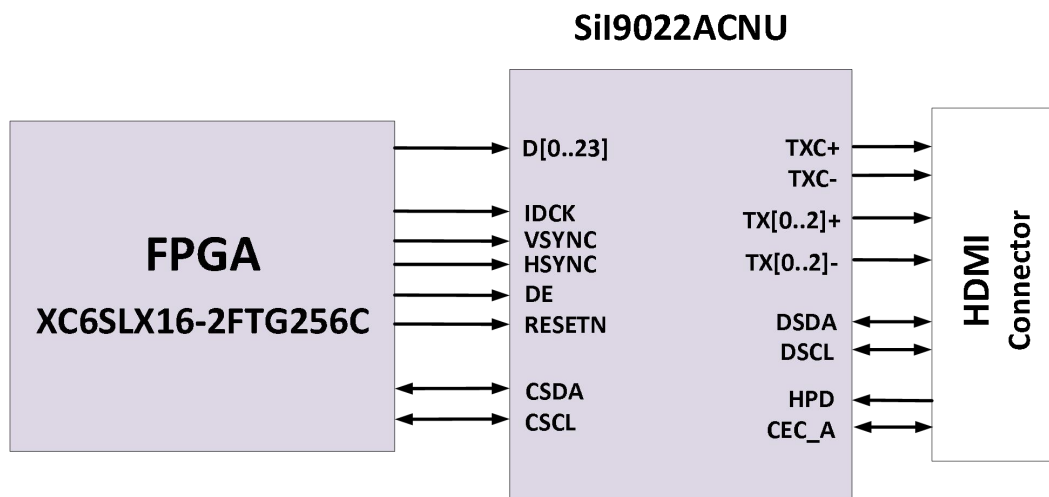


图 16 HDMI 显示 PHY 芯片模块电路框图

- IO 电压选择：IO_SEL =0，IO 电压为 3.3V；IO_SEL =1，IO 电压为 2.5V；此开发板中 HDMI IO 电压连接 3.3V
- 预留 HDMI_SDA、HDMI_SCL 信号测试点

3.5.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
HDMI_D0	输入数据 0	1	H16	3.3V
HDMI_D1	输入数据 1	1	H15	3.3V
HDMI_D2	输入数据 2	1	G16	3.3V
HDMI_D3	输入数据 3	1	F16	3.3V
HDMI_D4	输入数据 4	1	F15	3.3V
HDMI_D5	输入数据 5	1	E16	3.3V
HDMI_D6	输入数据 6	1	E15	3.3V
HDMI_D7	输入数据 7	1	D16	3.3V
HDMI_D8	输入数据 8	1	C16	3.3V
HDMI_D9	输入数据 9	1	C15	3.3V
HDMI_D10	输入数据 10	1	B16	3.3V
HDMI_D11	输入数据 11	1	F12	3.3V
HDMI_D12	输入数据 12	1	B15	3.3V
HDMI_D13	输入数据 13	1	D14	3.3V
HDMI_D14	输入数据 14	1	E12	3.3V
HDMI_D15	输入数据 15	1	F13	3.3V
HDMI_D16	输入数据 16	1	E13	3.3V
HDMI_D17	输入数据 17	1	F14	3.3V
HDMI_D18	输入数据 18	1	G12	3.3V
HDMI_D19	输入数据 19	1	G14	3.3V
HDMI_D20	输入数据 20	1	H13	3.3V
HDMI_D21	输入数据 21	1	H14	3.3V
HDMI_D22	输入数据 22	1	G11	3.3V
HDMI_D23	输入数据 23	1	H11	3.3V
HDMI_DE	输入数据使能控制信号	1	J14	3.3V
HDMI_HSYNC	水平同步输入控制信号	1	J13	3.3V
HDMI_IDCK	输入数据时钟	1	J11	3.3V
HDMI_RESETN	复位信号	1	K12	3.3V
HDMI_VSYNC	垂直同步输入控制信号	1	J12	3.3V
HDMI_SCL	I2C 时钟信号	0	A14	3.3V
HDMI_SDA	I2C 数据信号	0	B14	3.3V

表 7 HDMI 显示 PHY 芯片引脚分配及定义

3.6 Audio Codec

3.6.1 概述

- 型号：WM8960CGEFL/RV，封装为 QFN32
- 数字音频接口
- 输入：左右声道麦克风输入、Line in

- 输出：左右声道喇叭输出、Headphone out
- Line in 及 Headphone out 接口使用的是耳机座子，适用于 3.5mm 直径的耳机插头
- 工作温度范围：-40-85℃

3.6.2 模块框图

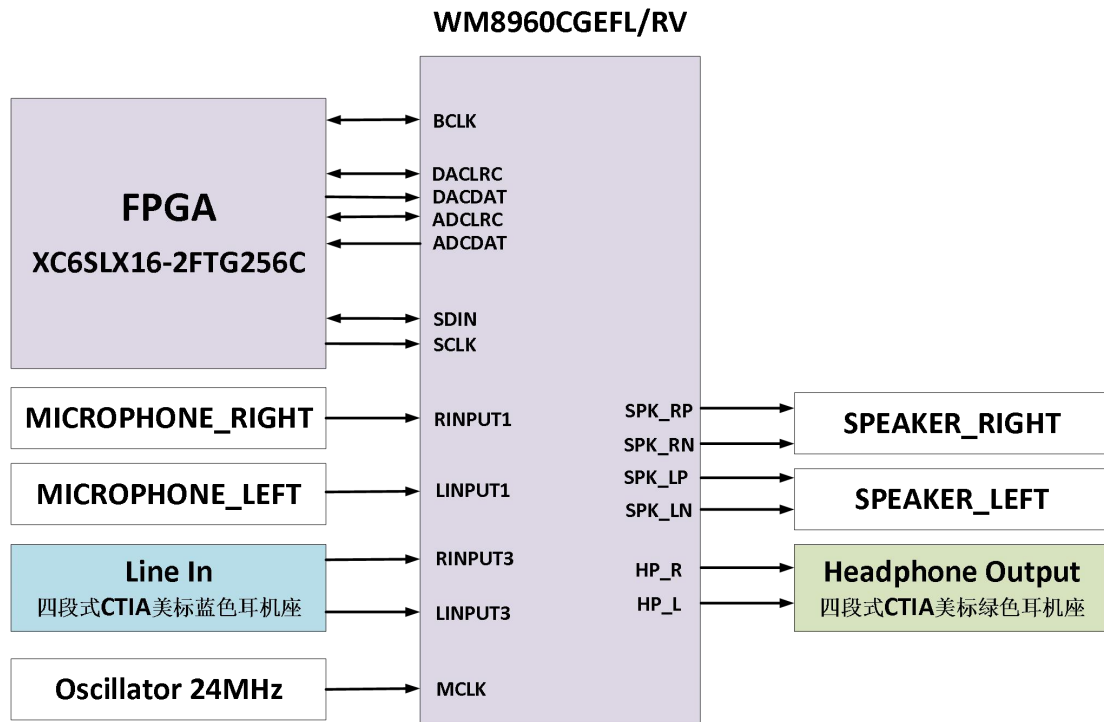


图 17 音频编解码芯片模块电路框图

- 一路 24MHz 时钟给 MCLK
- 每个通道能驱动 8 欧姆、1W 的扬声器
- HP_L/HP_R 可以驱动 16 欧姆或 32 欧姆的耳机负载

3.6.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
AUDIO_BCLK	音频接口比特时钟	1	K11	3.3V
AUDIO_DACLRC	音频接口 DAC 左右时钟	1	R16	3.3V
AUDIO_DACDAT	DAC 数字音频数据	1	T14	3.3V
AUDIO_ADCLRC	音频接口 ADC 左右时钟	1	R12	3.3V
AUDIO_ADCDAT	ADC 数字音频数据	1	T12	3.3V
AUDIO_SCLK	控制接口时钟输入	1	T15	3.3V
AUDIO_SDIN	控制接口时钟输入/输出	1	T13	3.3V

表 8 音频编解码芯片引脚分配及定义

3.7 USB 转 UART

3.7.1 概述

- 型号：CP2104-F03-GM，封装是 QFN24
- 芯片采用 Self-powered 形式，VDD 及 VIO 都为 3.3V
- 预留 UART_RXD、UART_TXD 信号测试点
- USB 接口采用 micro usb 接口
- 工作温度：-40-85°C

3.7.2 USB 转 UART 电路

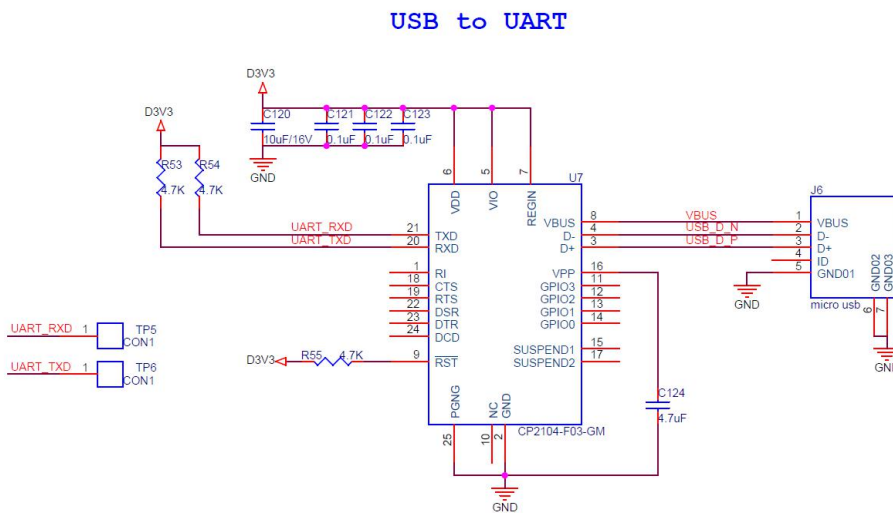


图 18 USB 转 UART 电路原理图

3.7.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
UART_TXD	UART 数据输出	2	M12	3.3V
UART_RXD	UART 数据输入	2	N12	3.3V

表 9 串口芯片引脚分配及定义

3.8 EEPROM

3.8.1 概述

- 型号：M24C64-WMN6TP，封装为 SOIC8_150mil，容量为 64Kb
- I2C 接口
- 工作电压：3.3V
- 工作温度：-40-85°C

3.8.2 EEPROM 电路

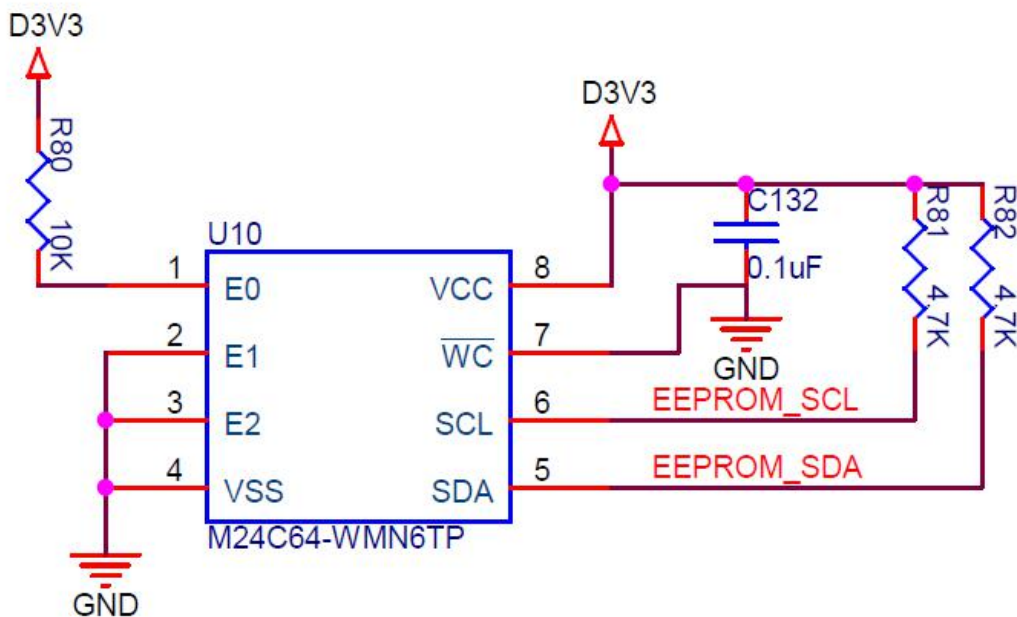


图 19 EEPROM 电路原理图

3.8.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
EEPROM_SCL	I2C 时钟信号	2	N5	3.3V
EEPROM_SDA	I2C 数据信号	2	P4	3.3V

表 10 EEPROM 引脚分配及定义

3.9 Micro SD 卡座子

3.9.1 概述

- 电源电压 3.3V
- DATA0-DATA3、CMD、CLK 均上拉

3.9.2 Micro SD 卡座子电路

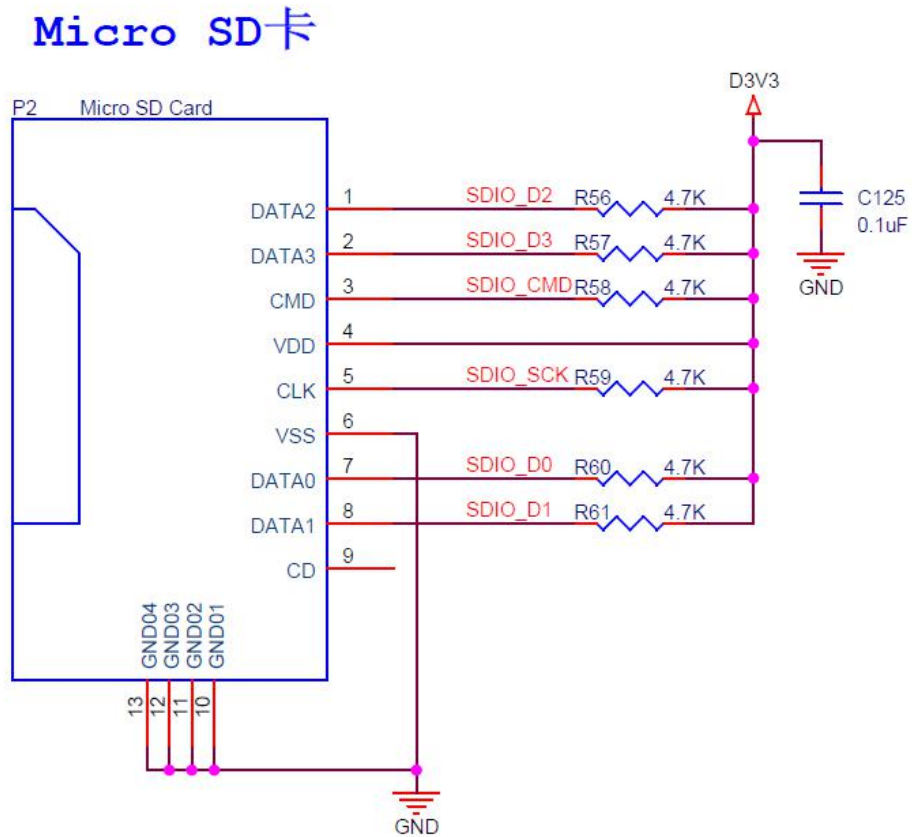


图 20 Micro SD 卡座子电路原理图

3.9.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
SDIO_D0	数据线 0	2	L10	3.3V
SDIO_D1	数据线 1	2	N9	3.3V
SDIO_D2	数据线 2	2	P8	3.3V
SDIO_D3	数据线 3	2	T8	3.3V
SDIO_SCK	时钟信号	2	L8	3.3V
SDIO_CMD	命令和响应复用信号	2	L7	3.3V

表 11 Micro SD 接口引脚分配及定义

3.10 摄像头接口

3.10.1 概述

摄像头接口采用 2.0mm pitch、12×2pin、90 度的弯插排母，支持 12bit 数据格式的 CMOS Sensor，可连接 MT9P031 500W 像素模块（板卡：MDC_SR5M_V2）或 OV7725 30W 像素模块（板卡：MDC_SRM3_V1）。

3.10.2 摄像头接口电路

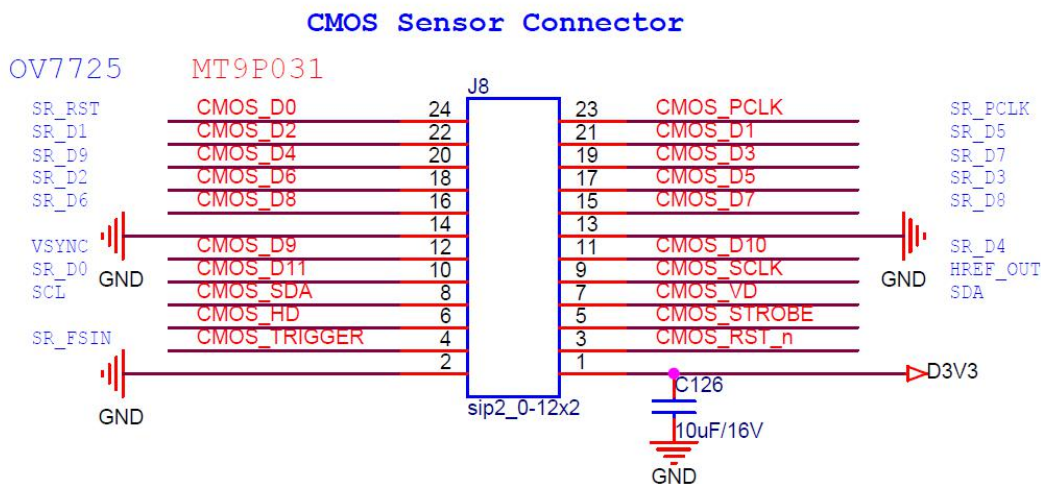


图 21 摄像头接口电路原理图

3.10.3 管脚分配

- MDC_SR5M_V2

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
CMOS_D0	数据线 0	3	A3	3.3V
CMOS_D1	数据线 1	3	A2	3.3V
CMOS_D2	数据线 2	3	B3	3.3V
CMOS_D3	数据线 3	3	B1	3.3V
CMOS_D4	数据线 4	3	B2	3.3V
CMOS_D5	数据线 5	3	C2	3.3V
CMOS_D6	数据线 6	3	C3	3.3V
CMOS_D7	数据线 7	3	D1	3.3V
CMOS_D8	数据线 8	3	C1	3.3V
CMOS_D9	数据线 9	3	R2	3.3V
CMOS_D10	数据线 10	3	R1	3.3V
CMOS_D11	数据线 11	2	R5	3.3V
CMOS_HD	行有效信号	2	T6	3.3V
CMOS_PCLK	像素时钟	3	F1	3.3V
CMOS_RST_N	复位信号	2	R7	3.3V
CMOS_SCLK	I2C 时钟信号	2	T4	3.3V
CMOS_SDA	I2C 数据信号	2	T5	3.3V
CMOS_STROBE	快照闪存信号	2	N6	3.3V

CMOS_TRIGGER	快照触发信号	2	T7	3.3V
CMOS_VD	帧有效信号	2	P6	3.3V

表 11 MT9P031 摄像头接口引脚分配及定义

- MDC_SRM3_V1

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
SR_D0	数据线 0	2	R5	3.3V
SR_D1	数据线 1	3	B3	3.3V
SR_D2	数据线 2	3	C3	3.3V
SR_D3	数据线 3	3	C2	3.3V
SR_D4	数据线 4	3	R1	3.3V
SR_D5	数据线 5	3	A2	3.3V
SR_D6	数据线 6	3	C1	3.3V
SR_D7	数据线 7	3	B1	3.3V
SR_D8	数据线 8	3	D1	3.3V
SR_D9	数据线 9	3	B2	3.3V
SCL	I2C 时钟信号	2	T5	3.3V
SDA	I2C 数据信号	2	P6	3.3V
SR_RST	复位信号	3	A3	3.3V
VSYNC	垂直同步输出信号	3	R2	3.3V
HREF_OUT	行同步信号	2	T4	3.3V
SR_FSIN	帧同步输入信号	2	T7	3.3V
SR_PCLK	像素时钟	3	F1	3.3V

表 12 OV7725 摄像头接口引脚分配及定义

3.11 数码管

3.11.1 概述

- 0.39 英寸、两位带小数点 8 段共阳贴片数码管
- 白色发光
- 工作温度：-20-60℃
- 采用 74HC595PW 来控制数码管

3.11.2 数码管电路

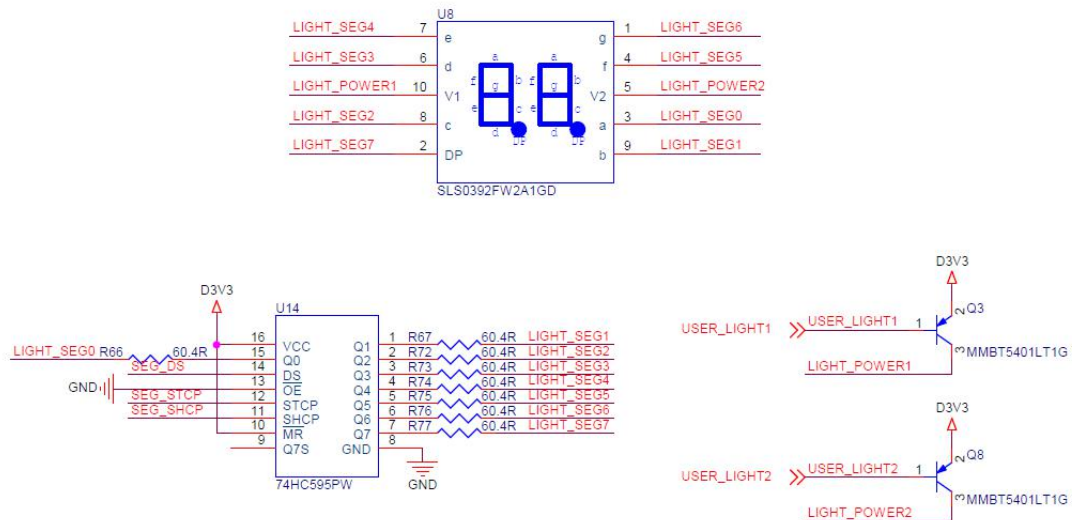


图 22 数码管电路原理图

3.11.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
USER_LIGHT1	数码管 1 的电源控制信号	2	P7	3.3V
USER_LIGHT2	数码管 2 的电源控制信号	2	N8	3.3V
SEG_DS	串行数据输入信号	2	P5	3.3V
SEG_SHCP	移位寄存器时钟输入信号	2	M7	3.3V
SEG_STCP	存储寄存器时钟输入信号	2	M6	3.3V

表 13 数码管引脚分配及定义

3.12 拨码开关

3.12.1 概述

- 四位、间距 1.27mm 的拨码开关

3.12.2 拨码开关电路

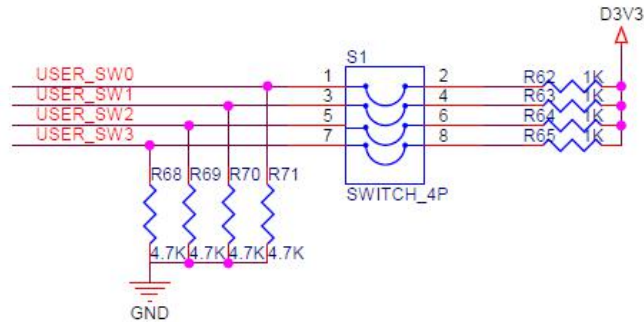


图 23 拨码开关电路原理图

3.12.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
USER_SW0	拨码开关 0	0	D12	3.3V
USER_SW1	拨码开关 1	0	D11	3.3V
USER_SW2	拨码开关 2	1	K14	3.3V
USER_SW3	拨码开关 3	1	R14	3.3V

表 14 拨码开关引脚分配及定义

3.13 用户按键

3.13.1 概述

- 四个尺寸为 6mm×6mm×8mm 四脚贴片轻触按键

3.13.2 用户按键电路

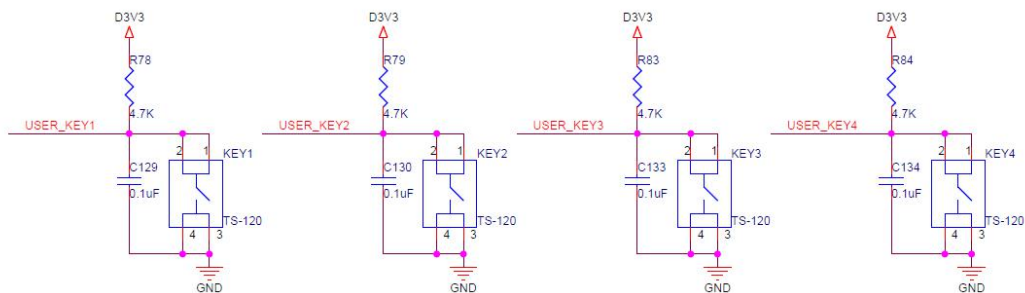


图 24 用户按键电路原理图

3.13.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
USER_KEY1	用户按键 1	2	P9	3.3V
USER_KEY2	用户按键 2	2	M10	3.3V
USER_KEY3	用户按键 3	2	R9	3.3V
USER_KEY4	用户按键 4	2	P12	3.3V

表 15 用户按键引脚分配及定义

3.14 呼吸灯

3.14.1 概述

- 红、绿、蓝三色 LED 呼吸灯，R、G、B 独立控制

3.14.2 呼吸灯电路

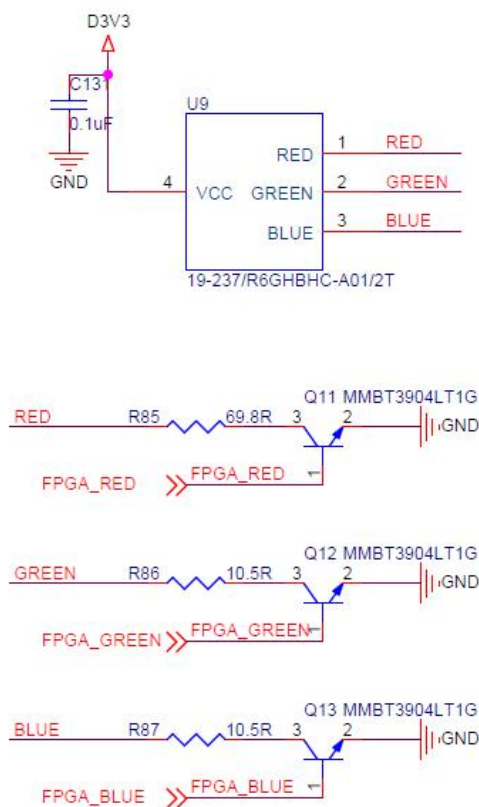


图 25 呼吸灯电路原理图

3.14.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
FPGA_BLUE	蓝色 LED 信号线	2	T9	3.3V
FPGA_GREEN	绿色 LED 信号线	2	M11	3.3V
FPGA_RED	红色 LED 信号线	2	P11	3.3V

表 16 呼吸灯引脚分配及定义

3.15 GPIO

3.15.1 概述

在满足板上所有功能和接口需要用到的 FPGA IO 后，为了方便用户功能扩展和测试，给用户留出了 35 条 IO。

3.15.2 GPIO 电路

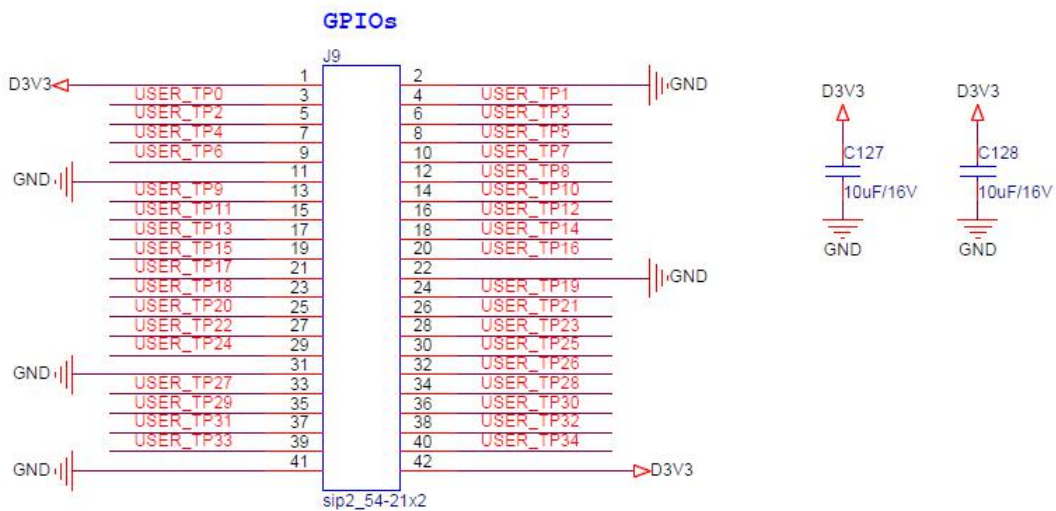


图 26 GPIO 接口电路原理图

3.15.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
USER_TP0	GPIO0		D5	3.3V
USER_TP1	GPIO1		A4	3.3V

USER_TP2	GPI02		B5	3.3V
USER_TP3	GPI03		A5	3.3V
USER_TP4	GPI04		B6	3.3V
USER_TP5	GPI05		E6	3.3V
USER_TP6	GPI06		C5	3.3V
USER_TP7	GPI07		D6	3.3V
USER_TP8	GPI08		C6	3.3V
USER_TP9	GPI09		E7	3.3V
USER_TP10	GPI010		A7	3.3V
USER_TP11	GPI011		A6	3.3V
USER_TP12	GPI012		B8	3.3V
USER_TP13	GPI013		A8	3.3V
USER_TP14	GPI014		C7	3.3V
USER_TP15	GPI015		D8	3.3V
USER_TP16	GPI016		C8	3.3V
USER_TP17	GPI017		E8	3.3V
USER_TP18	GPI018		F7	3.3V
USER_TP19	GPI019		F9	3.3V
USER_TP20	GPI020		F10	3.3V
USER_TP21	GPI021		A9	3.3V
USER_TP22	GPI022		C9	3.3V
USER_TP23	GPI023		D9	3.3V
USER_TP24	GPI024		C10	3.3V
USER_TP25	GPI025		E10	3.3V
USER_TP26	GPI026		B10	3.3V
USER_TP27	GPI027		A10	3.3V
USER_TP28	GPI028		A11	3.3V
USER_TP29	GPI029		C11	3.3V
USER_TP30	GPI030		E11	3.3V
USER_TP31	GPI031		A12	3.3V
USER_TP32	GPI032		B12	3.3V
USER_TP33	GPI033		A13	3.3V
USER_TP34	GPI034		C13	3.3V

表 17 用户 IO 引脚分配及定义

3.16 50MHz 有源晶振

3.16.1 概述

- 50MHz 有源晶振，连接到 FPGA PLL 专用时钟输入
- 工作电压：3.3V
- 封装：3225 SMD

3.16.2 50MHz 有源晶振电路

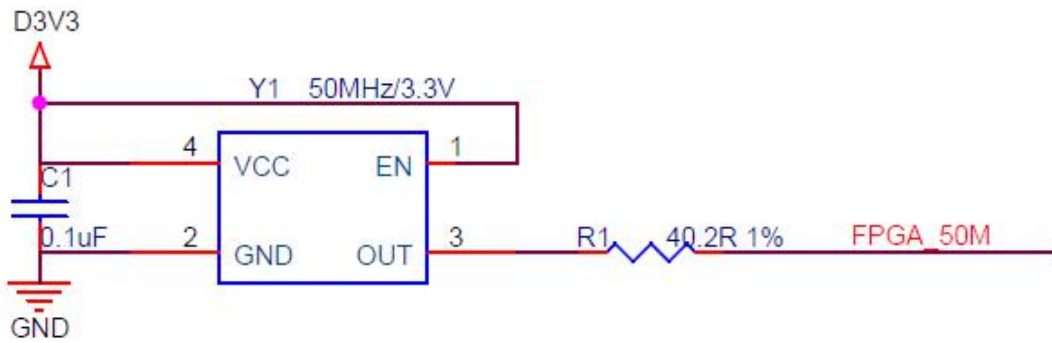


图 27 50MHz 有源晶振电路原理图

3.16.3 管脚分配

信号名称	描述	BANK	FPGA 管脚序号	IO 电平
FPGA_50M	50MHz 时钟	2	M9	3.3V

表 18 50MHz 时钟引脚分配及定义

4. 电源

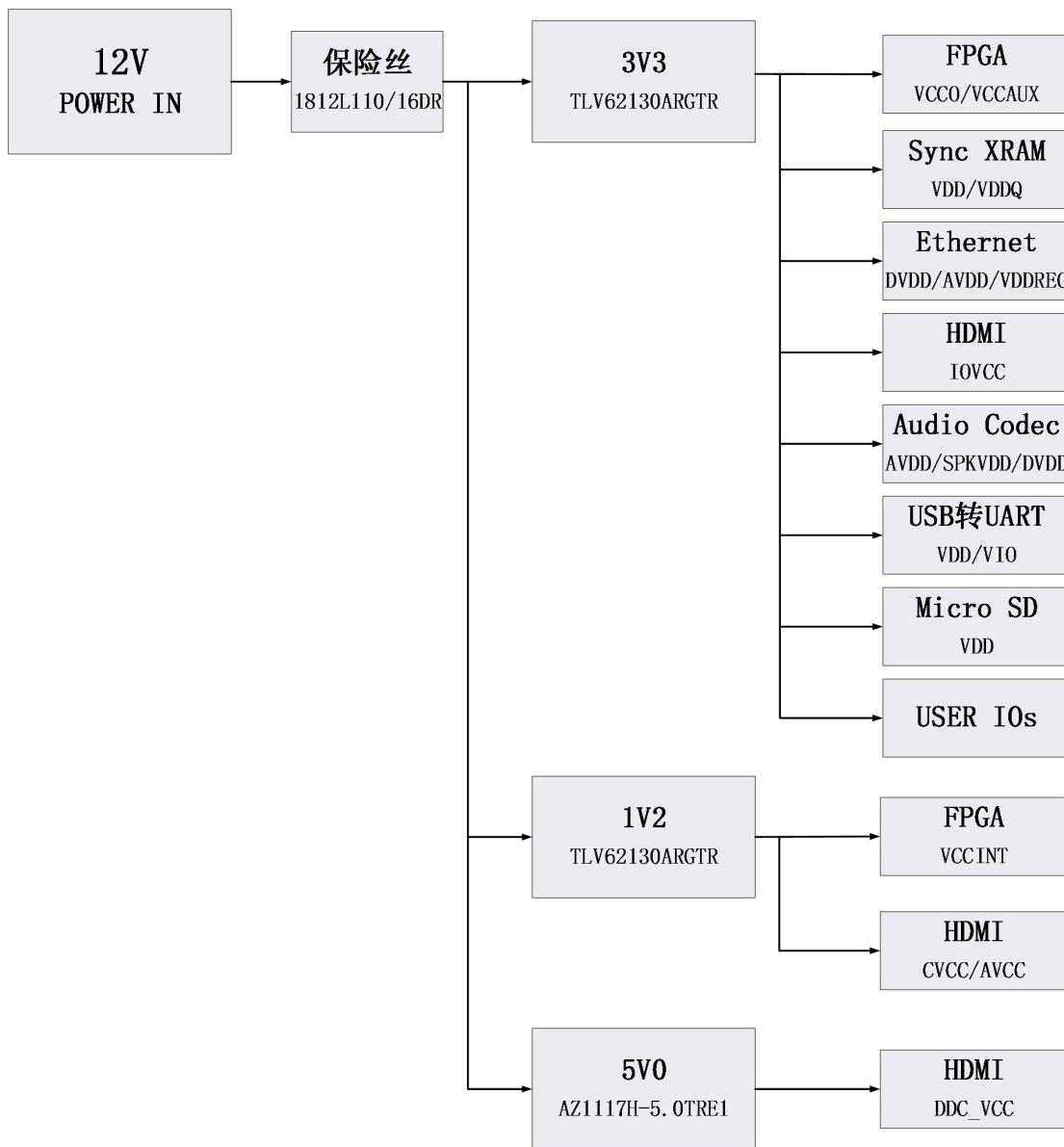


图 28 电源系统分配示意框图

5. 装配图

MDC704_V1 PCB 板的尺寸为 120mm×75mm，其顶层装配图和底层装配图分别如图 27 和图 28 所示：

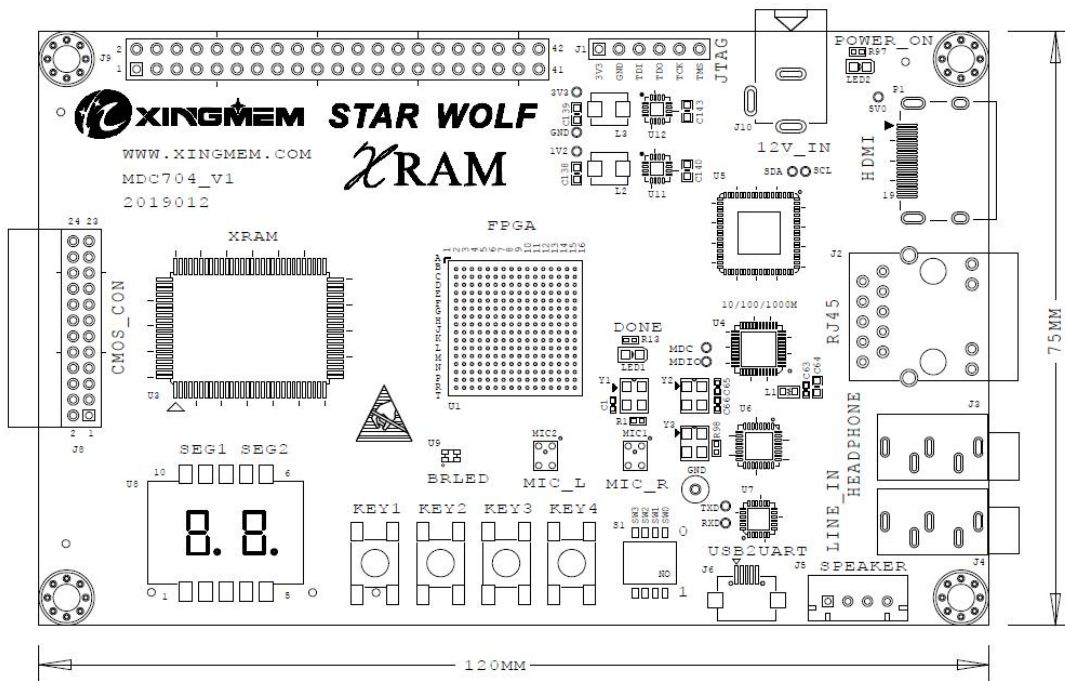


图 29 PCB 顶层装配图

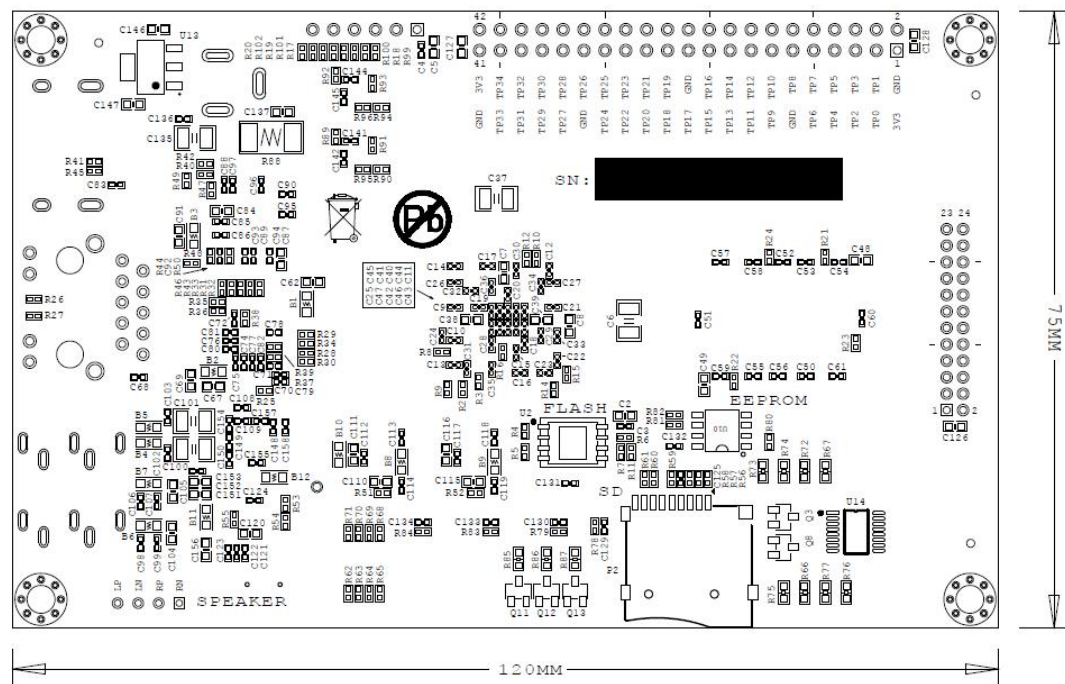


图 30 PCB 底层装配图

6. 开发板使用注意事项

- 开发板电源输入采用黑色 5.5mm DC 电源座子供电，电源输入为 12V 输入；电源输入范围为 11V-15V
- 开发板使用时要轻拿轻放，避免磕碰，做好静电防护

7. 开发软件介绍

Spartan-6 只能使用 Xilinx ISE14.7 或更低版本。

8. 历史版本

版本日期	版本	描述
2019- 3-26	1.0	初始发布