

DOI: 10.7500/AEPS201210263

基于频率和初相角解耦检测的新型锁相环

姜齐荣, 王 亮, 张春朋, 洪芦诚, 魏应冬, 谢小荣

(电力系统及发电设备控制和仿真国家重点实验室, 清华大学, 北京市 100084)

摘要: 提出了一种由锁频环(FLL)和初相角锁相环(PLL)构成的新型三相 PLL。FLL 采用了一种新型的微分算法来检测频率误差, 可避免由电压相角或幅值突变导致的频率检测误差。该新型 PLL 采用频率自适应数字滤波器(FADF)滤除输入信号中的谐波和噪声, 提高了相角的检测精度。FADF 利用多重化延时信号消除算法消除频率较低的谐波, 然后通过巴特沃斯低通滤波器滤除高次谐波和噪声, 可以在 dq 域准确、迅速地提取基波正序电压。同时, 初相角 PLL 拥有较高的特征频率, 使得新型 PLL 可以在相角突变后迅速地实现同步。通过仿真和实验对新型 PLL 的性能进行了验证, 且为了适用于计算能力较差的控制器, 给出了新型 PLL 的简化方案。

关键词: 锁相环; 电网同步; 锁频环; 延时信号消除; 数字滤波器

0 引言

对于并网型变换器而言, 与电网保持同步是非常关键的, 如静止同步补偿器(STATCOM)^[1-2]、有源电力滤波器^[3]、微电网^[4]和高压直流输电(HVDC)^[5-6]等。若不能准确地与电网同步, 会使得上述变换器直流侧过压或输出过流, 进而导致装置闭锁, 严重时甚至会损坏设备。同步技术的 2 个重要指标是: 跟踪精度和响应速度。过零检测、反三角函数计算和锁相环(PLL)是广泛应用的同步策略^[7-13]。在电网三相对称且不含谐波时, 上述 3 种算法都能很好地实现与电网的同步。但是电网公共连接点(PCC)的电压经常会遇到谐波、暂降、不对称等问题。在一些独立的微型电网中甚至会发生较为严重的频率偏移^[9]。因此, 非理想工况下的同步效果是评价上述策略的重要因素。

PLL 是一个闭环控制系统, 它可以保持其输出与输入在频率和相角上的同步。文献[10]对 PLL 的基本理论、模型和应用进行了详细的总结。三相 PLL 更适合于并网型逆变器。文献[11-12]对三相 PLL 的特点和参数优化策略进行了深入研究。对于传统的 PLL 而言, 必须要在响应速度和输出精度之间进行折中处理^[11,13]。准确、快速地提取输入信号中的基波正序分量是提高 PLL 响应速度和输出精度的重要方法。

本文首先简单分析了传统三相 PLL(以下简称传统 PLL)的模型和特性, 提出了新型 PLL。该新型 PLL 分别利用锁频环(FLL)和初相角 PLL 检测输入电压的频率和初相角, 最终再合成输入电压的相位。采用的频率自适应数字滤波器(FADF)具有很好的滤波效果和响应速度, 而且相角跳变不会对 FLL 产生不良影响; 初相角 PLL 具有很高的特征频率, 可以迅速地锁定变化后的相位。FADF 采用了多重化延时信号消除(DSC)算法, 同时结合 FLL 实现了频率自适应滤波。此外, FLL 采用了一种独特的微分算法来计算电网实际频率与检测频率间的误差, 该算法的特点是可以避免相角跳变、电压突变等导致的频率检测误差。最后, 对新型 PLL 进行了仿真和实验验证, 在保持性能基本不变的前提下, 给出了该新型 PLL 的简化方法。

1 传统 PLL

传统 PLL 的原理如图 1 所示, 其中 PI 表示比例-积分控制器。

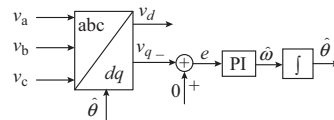


图 1 传统 PLL 原理
Fig.1 Principle of conventional PLL

设输入电压对称且不含谐波, 那么

收稿日期: 2012-10-30; 修回日期: 2013-04-06。
国家科技支撑计划资助项目(2007BAA12B02, 2011BAA01B03)。

$$\mathbf{v}_{abc} = V_1 \begin{bmatrix} \cos \theta \\ \cos\left(\theta - \frac{2\pi}{3}\right) \\ \cos\left(\theta + \frac{2\pi}{3}\right) \end{bmatrix} \quad (1)$$

式中: $\mathbf{v}_{abc} = [v_a \ v_b \ v_c]^T$; $\theta = \omega t + \varphi$, 其中 ω 为电网电压的角频率, φ 为初相角; V_1 为系统电压幅值。

派克变换之后, 有

$$\mathbf{v}_{dq} = V_1 \begin{bmatrix} \cos(\theta - \hat{\theta}) \\ -\sin(\theta - \hat{\theta}) \end{bmatrix} \quad (2)$$

式中: $\hat{\theta} = \hat{\omega} t + \hat{\varphi}$, 为派克变换的相角, 其中 $\hat{\omega}$ 和 $\hat{\varphi}$ 分别为检测到的电网电压角频率和初相角。

1.1 PLL 的线性化模型

当 $\theta - \hat{\theta}$ 足够小时, 有 $\sin(\theta - \hat{\theta}) \approx \theta - \hat{\theta}$ 。因此, PLL 的相角检测误差为:

$$e \approx V_1(\theta - \hat{\theta}) \quad (3)$$

由此便可以得出 PLL 的线性化模型, 如图 2 所示。其中, PI 控制环的传递函数为:

$$K_f(s) = K_p + \frac{K_i}{s} \quad (4)$$

式中: K_p 和 K_i 分别为比例和积分增益。

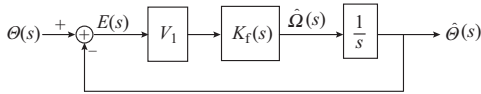


图 2 PLL 的线性化模型
Fig.2 Linearized model of PLL

PLL 的闭环传递函数为

$$H_{\hat{\theta}}(s) = \frac{\hat{\Theta}(s)}{\Theta(s)} = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (5)$$

式中: $\omega_n = \sqrt{V_1 K_i}$; $\xi = 0.5 K_p \sqrt{V_1 / K_i}$, 若采用 Wiener 优化算法, 有 $\xi = 0.707^{[11]}$ 。

1.2 PLL 在对称无谐波工况下的特性

假设输入电压的相角在 $t=0$ 时跳变 $\Delta\varphi$, 那么

$$\lim_{t \rightarrow \infty} e(t) = \lim_{s \rightarrow 0} \frac{\Delta\varphi s^2}{s^2 + 2\xi\omega_n s + \omega_n^2} = 0 \quad (6)$$

若输入电压的频率在 $t=0$ 时跳变 $\Delta\omega$, 那么

$$\lim_{t \rightarrow \infty} e(t) = \lim_{s \rightarrow 0} \frac{\Delta\omega s}{s^2 + 2\xi\omega_n s + \omega_n^2} = 0 \quad (7)$$

式(6)、式(7)表明, 在输入电压相角发生变化后, PLL 最终可实现相位的无静差检测, 响应速度主要取决于其特征频率 ω_n 。

由图 2 可知, 系统电压的幅值 V_1 相当于控制环内的一个增益。当系统电压变化时, PLL 的特征频率和阻尼比都会变化, 这对于 PLL 参数的优化是不

利的^[12]。若将 \mathbf{v}_{dq} 归一化则可以克服输入电压波动对 PLL 的影响。

1.3 PLL 在不对称及谐波工况下的特性

稳态时, 三相不对称电压可以分为正序、负序和零序分量, 再加入谐波后, 三相交流电压可写为:

$$\mathbf{v}_{abc} = \begin{bmatrix} \sum_{i=-2n-1}^{2n+1} V_i \cos(i\omega t + \varphi_i) + \sum_{k=1}^{2n+1} V_{k_0} \cos(k\omega t + \phi_k) \\ \sum_{i=-2n-1}^{2n+1} V_i \cos\left(i\omega t + \varphi_i - \frac{2\pi}{3}\right) + \sum_{k=1}^{2n+1} V_{k_0} \cos(k\omega t + \phi_k) \\ \sum_{i=-2n-1}^{2n+1} V_i \cos\left(i\omega t + \varphi_i + \frac{2\pi}{3}\right) + \sum_{k=1}^{2n+1} V_{k_0} \cos(k\omega t + \phi_k) \end{bmatrix} \quad (8)$$

式中: $n=0, 1, 2, \dots$ 。

由于电力系统的对称特性, 式(8)中仅含有奇次谐波。派克变换后, 有

$$\mathbf{v}_{dq} = \begin{bmatrix} \sum_{i=-2n-1}^{2n+1} V_i \cos((i\omega - \hat{\omega})t + \varphi_i - \hat{\varphi}) \\ -\sum_{i=-2n-1}^{2n+1} V_i \sin((i\omega - \hat{\omega})t + \varphi_i - \hat{\varphi}) \end{bmatrix} \quad (9)$$

可见, 派克变换后输入信号的频谱发生了变动(详见附录 A 图 A1)。

如果 $\omega = \hat{\omega}$, 那么相同频率的谐波分量可以合并, 有

$$\mathbf{v}_{dq} = \begin{bmatrix} \sum_{i=0}^{2n+2} V_i' \cos(i\omega t + \varphi_i') \\ -\sum_{i=0}^{2n+2} V_i'' \sin(i\omega t + \varphi_i'') \end{bmatrix} \quad (10)$$

式中: $V_0' = V_0'' = V_1$; $\varphi_0' = \varphi_0'' = \varphi_1 - \hat{\varphi}_1$ 。

式(5)表明, 对于输入信号的相角而言, 传统 PLL 可近似为二阶低通滤波器。那么, 输入信号中的谐波成分必然会导致相角跟踪误差^[11]。为了提高输出精度, 需要降低 PLL 的特征频率 ω_n , 响应速度随之变慢。因此, 必须要在响应速度和输出精度之间进行折中处理。

2 新型 PLL

图 3 是新型 PLL 的原理图。三相电压 \mathbf{v}_{abc} 首先被变换到 dq 坐标系下, 然后利用 FADF 滤除负序和谐波造成的交流分量, 获得基波正序分量。FLL 获取系统的频率, 并使 FADF 实现频率自适应。初相角 PLL 检测输入信号的初相角, 最终通过角频率 $\hat{\omega}$ 和初相角 $\hat{\varphi}$ 合成输入信号的相位。

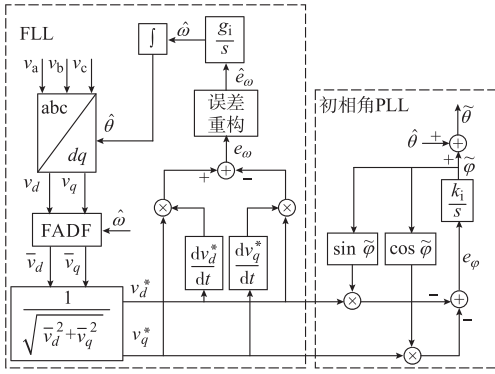


图3 新型 PLL 的原理图

Fig.3 Block diagram of proposed PLL

2.1 FADF

图4给出了FADF的原理图,其中 \hat{T} 为电网周期的检测值。该滤波器是一个包含了有限冲击响应(FIR)滤波器和无限冲击响应(IIR)滤波器的混合型滤波器。FIR滤波器利用四重化DSC算法滤除频率较低的谐波,IIR滤波器采用的是二阶巴特沃斯低通滤波器,用来滤除高次谐波和噪声。

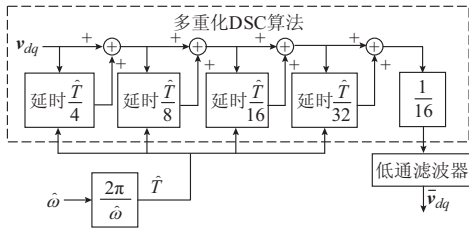


图4 FADF的原理

Fig.4 Principle of FADF

2.1.1 多重化 DSC 算法

DSC算法由文献[14]提出,文献[15]详细分析了这种滤波算法,并给出了实验实例。DSC算法可以在 $\alpha\beta$ 域提取基波正序分量。首先利用延时构造一个信号,然后巧妙地抵消输入信号中的负序分量,而保持正序分量不变。在 dq 域,可将DSC算法简化为:

$$G_{DSC}(s) = \frac{1 + e^{-sT_d}}{2} \quad (11)$$

式中: T_d 为延时时间。

DSC算法的幅频特性见附录A图A2,角频率为奇数倍 π/T_d 的谐波可以被DSC算法完全消除,且仅需 T_d 时间就可以达到稳态。与传统的IIR低通滤波器相比,DSC算法的滤波效果好、速度快。

$\omega = \hat{\omega}$ 时,式(10)中仅含偶次谐波。采用不同的延时 T_d 可以消除信号中的不同谐波,如表1所示。若将表1中具有不同延时的DSC算法串联起来,实现多重化DSC算法,便可以滤除32次以下的

所有偶数次谐波。

表1 不同延时下DSC算法的滤波特性
Table 1 Filter characteristics of DSC with different time-delays

T_d	对不同次谐波的增益								
	2次	4次	6次	8次	10次	12次	14次	16次	...
$\hat{T}/4$	0	1	0	1	0	1	0	1	...
$\hat{T}/8$	0.707	0	0.707	1	0.707	0	0.707	1	...
$\hat{T}/16$	0.924	0.707	0.383	0	0.383	0.707	0.924	1	...
$\hat{T}/32$	0.981	0.924	0.831	0.707	0.556	0.383	0.195	0	...

若要实现频率自适应的DSC,就需要获取基波信号的频率。值得注意的是,只有在稳态情况下多重化DSC才能完全滤除特定次谐波。

2.1.2 采样对DSC算法的影响及处理方法

连续的延时是不可能实现的,所以DSC算法要利用数字控制器来实现^[15]。在某些情况下,延时时间不能被采样周期整除,那么所需延时时刻的信号无法被采样,如此便会影响DSC算法的实现。一般情况下用最接近的采样值来拟合实际值,这样产生的采样误差会比较大^[15]。文献[15]提出了一种加权平均值的方法来估算实际值,其本质是线性插值。一般情况下,插值次数越高估计值就越准确,但需要更多的计算量。本文中采用三次拉格朗日插值算法估算信号的实际值。

2.1.3 多重化DSC算法与低通滤波器的结合

利用DSC算法滤除 v_{dq} 中的所有谐波是难以实现的,尤其是对高次谐波而言。所以,本文采用四重化DSC算法和二阶巴特沃斯低通滤波器相结合的滤波方案。低通滤波器主要用于滤除频率较高的谐波,其表达式为:

$$G_{LP}(s) = \frac{\omega_c^2}{s^2 + 2\zeta\omega_c s + \omega_c^2} \quad (12)$$

式中: ω_c 为转折频率; ζ 为阻尼比。

转折频率由多重化DSC算法的滤波效果决定。在采样频率高于基波频率120倍时,采用三次插值的四重化DSC算法对16次谐波的衰减大于40dB。此时,低通滤波器的转折频率可设为8~16倍的基波角频率。

2.1.4 FADF的传递函数

忽略插值误差后,FADF的传递函数为:

$$G_{DF}(s) = \frac{\omega_c^2}{16(s^2 + 2\zeta\omega_c s + \omega_c^2)} \sum_{i=0}^{15} e^{-i\hat{T}/32} \quad (13)$$

式(13)表明,四重化DSC算法响应时间为

15 \hat{T} /32,但对整个 FADF 而言,响应时间要稍长。

2.2 FLL

本文提出的 FLL 基于微分频率误差检测算法。频率检测值的准确性直接影响 FADF 的准确性,所以要避免相角跳变、幅值突变和谐波等影响频率检测的精度。

对一个正弦信号求导,其信号的幅值增益即为信号的频率。若输入信号为幅值是 1 的一对正交信号,那么利用三角函数可以很容易计算出该信号的频率,即

$$\omega = \omega(\cos^2 \theta + \sin^2 \theta) = \frac{d\sin \theta}{dt} \cos \theta - \frac{d\cos \theta}{dt} \sin \theta \quad (14)$$

设系统电压对称无谐波,那么归一化后的 dq 轴电压为:

$$v_{dq}^* = \begin{bmatrix} \cos((\omega - \hat{\omega})t + \varphi_1 - \hat{\varphi}) \\ -\sin((\omega - \hat{\omega})t + \varphi_1 - \hat{\varphi}) \end{bmatrix} \quad (15)$$

先不考虑 FADF 的影响,电网实际频率和检测频率的误差可由式(16)求得。

$$e_\omega(t) = v_q^* \frac{dv_d^*}{dt} - v_d^* \frac{dv_q^*}{dt} \quad (16)$$

将式(15)代入式(16)可得:

$$e_\omega(t) = \frac{d[(\omega - \hat{\omega})t + \varphi_1 - \hat{\varphi}]}{dt} \quad (17)$$

稳态时有 $\omega = \hat{\omega}, \varphi_1 = \hat{\varphi}$, 则 $e_\omega(t) = 0$ 。

若在 $t=0$ 时刻,频率跳变 $\Delta\omega$, 那么

$$e_\omega(t) = \Delta\omega u(t) \quad (18)$$

式中: u 为单位阶跃函数。

若在 $t=0$ 时刻,相角跳变 $\Delta\varphi$, 那么

$$e_\omega(t) = \Delta\varphi \delta(t) \quad (19)$$

式中: δ 为冲激函数。

若 e_ω 中检测出冲激函数,那么这个误差是由相角跳变造成的。

由于 FADF 的存在, e_ω 的暂态分析变得十分复杂。若不考虑插值算法和剩余谐波的影响,频率突变 $\Delta\omega$ 和相角突变 $\Delta\varphi$ 时, e_ω 可近似为式(20)和式(21)。

$$e_{\omega, \Delta\omega}(t) \approx \frac{\Delta\omega}{16} \sum_{i=0}^{15} \left[1 - \left(\cosh \left(\left(t - \frac{i\hat{T}}{32} \right) \omega_c \sqrt{\zeta^2 - 1} \right) + \frac{\zeta \sinh \left(\left(t - \frac{i\hat{T}}{32} \right) \omega_c \sqrt{\zeta^2 - 1} \right)}{\sqrt{\zeta^2 - 1}} \right) e^{-\zeta\omega_c \left(t - \frac{i\hat{T}}{32} \right)} u \left(t - \frac{i\hat{T}}{32} \right) \right] \quad (20)$$

$$e_{\omega, \Delta\varphi}(t) \approx \frac{\omega_c \sin \Delta\varphi}{16} \sum_{i=0}^{15} \frac{\sinh \left(\left(t - \frac{i\hat{T}}{32} \right) \omega_c \sqrt{\zeta^2 - 1} \right)}{\sqrt{\zeta^2 - 1}} e^{-\zeta\omega_c \left(t - \frac{i\hat{T}}{32} \right)} u \left(t - \frac{i\hat{T}}{32} \right) \quad (21)$$

若取 $\zeta = 1, \omega_c = 14\omega = 14\hat{\omega}$, 那么, $|e_{\omega, \Delta\varphi}|$ 和 $|e_{\omega, \Delta\omega}|$ 的曲线如图 5 所示。显然,相角突变会导致频率误差 e_ω 的突变。利用这个特点便可以区分相角突变和频率突变。具体的实现方法是:对信号 e_ω 进行求导,若导数的绝对值大于某个阈值 v_{th} , 则在此后的一段时间 T_b 内屏蔽频率误差的检测值,即认为频率误差为 0,以防止该扰动影响 FLL 输出的准确性。 T_b 的取值依赖于低通滤波器的转折频率 ω_c , 可取为 $(0.55 \sim 0.75)\hat{T}$ 。这就是图 6 中所示的信号重构策略的原理,其中 T_s 为采样时间。

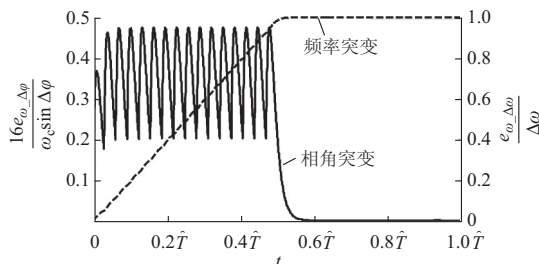


图 5 $|e_{\omega, \Delta\varphi}|$ 和 $|e_{\omega, \Delta\omega}|$ 的曲线
Fig.5 Curves of $|e_{\omega, \Delta\varphi}|$ and $|e_{\omega, \Delta\omega}|$

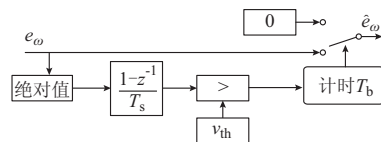


图 6 信号重构的框图
Fig.6 Block diagram of signal reconstruction

电压幅值的突变和谐波的突然变化都会造成电压信号的突变,从而使图 6 所示的误差重构策略同样适用于这些干扰的辨别。

对 $e_{\omega, \Delta\varphi}$ 求导,有

$$\frac{d|e_{\omega, \Delta\varphi}(t)|}{dt} \Big|_{t=0} \approx \frac{1}{16} \omega_c^2 \sin |\Delta\varphi| \quad (22)$$

根据式(22)便可以确定检测阈值 v_{th} , 从而辨别大于 $\Delta\varphi$ 的相角跳变,且

$$\max \frac{d|e_{\omega, \Delta\omega}(t)|}{dt} \approx 0.023\omega_c |\Delta\omega| \quad (23)$$

比较式(22)和式(23)可知,只要 v_{th} 设置合理,频率突变是不可能触发误差重构计时器的。

2.3 新型 PLL 的模型与工作方式

新型 PLL 的模型如图 7 所示。新型 PLL 有工

作方式 1 和工作方式 2 两种不同的工作方式,如图 8 所示。

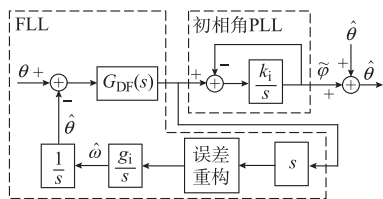


图 7 新型 PLL 的模型

Fig.7 Model of proposed PLL

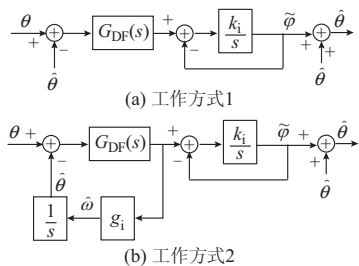


图 8 新型 PLL 的工作方式

Fig.8 Operation modes of proposed PLL

显然,初相角 PLL 是绝对稳定的,取较大的系数 k_i 可以提高初相角 PLL 的特征频率,获得较快的响应速度。新型 PLL 在工作方式 1 下的响应速度主要由 FADF 决定,即新型 PLL 对相角突变等信号突变的响应速度主要由 FADF 决定,响应时间约为 $T/2$ 。由于 FADF 是个高阶系统,为了使 PLL 的开环传递函数具有足够的幅值余量和相角余量,即保证 PLL 闭环工作的稳定性, g_i 的取值存在上限。所以,工作方式 2 的响应速度被系统的稳定性所限制,相比于对工作方式 1 的响应速度稍慢一些。

通常情况下,电力系统的频率非常接近其额定频率,而且不会突变。但是,短路故障和大负荷投切往往会导致 PCC 电压相角和幅值的突变。所以,新型 PLL 非常适合于快速检测系统电压的相角。

3 新型 PLL 性能验证

本节通过仿真和实验验证谐波、相角突变和电压跌落等情况下新型 PLL 的性能。由于无法改变实际电网的频率,所以频率跳变仅利用仿真进行了验证。测试中新型 PLL 的参数设置如下:采样频率 $f_s = 10 \text{ kHz}$, $\omega_c = 1400\pi \text{ rad/s}$, $\zeta = 1$, $g_i = 72$, $k_i = 2500$, $v_{th} = 2 \times 10^4$, $T_b = 12 \text{ ms}$ 。

3.1 新型 PLL 的仿真实验

利用 MATLAB/Simulink 对新型 PLL 进行了仿真实验。其中,新型 PLL 的输入电压中含有 100% 的 50 Hz 基波正序分量,10% 的 5 次谐波分量,5% 的 7 次谐波分量,2% 的 11 次谐波分量,2%

的 13 次谐波分量。仿真中所有的突变都发生在 10 ms 处。基波正序电压突变 30° 和电网频率由 50 Hz 跳变至 51 Hz 的仿真结果如图 9 和图 10 所示。输入电压中突然出现谐波和单相电压跌落 50% 的仿真结果见附录 A 图 A3 和图 A4。仿真结果表明,所有工况下的稳态相角误差均小于 0.01° 。

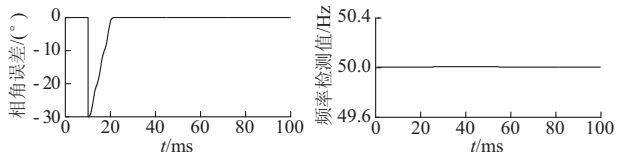


图 9 新型 PLL 对 30° 相角跳变的响应

Fig.9 Response of proposed PLL to 30° phase jump

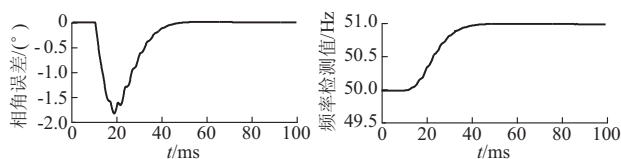


图 10 新型 PLL 对频率跳变 1 Hz 的响应

Fig.10 Response of proposed PLL to 1 Hz frequency jump

图 9 表明,系统电压突然的变化触发了 PLL 中的误差重构机制,PLL 工作于方式 1。这种工作方式下,新型 PLL 的响应时间约为 10 ms,而且检测频率未受到干扰。当系统的频率发生突变时,PLL 工作于方式 2。此时,虽然 PLL 的响应时间约为 30 ms,但在动态过程中输出的相角误差较小。在动态过程中,派克变换采用的频率,即 FLL 检测的频率,与系统频率不同, v_{dq} 是低频交流信号,而非直流信号,该信号通过 FADF 后会产生相移,从而使暂态过程中出现了相角误差。

3.2 新型 PLL 的实验验证

本文设计了 2 个实验来验证新型 PLL 的性能。第 1 个实验验证了在电网中出现大的干扰时新型 PLL 的性能,第 2 个实验则验证了电压畸变情况下新型 PLL 的滤波性能。

在实际的电网中,尤其是短路容量较小的配电网中,PCC 电压幅值和相角的突变往往是由于配电网大功率负荷的投切或输电系统中的短路故障造成的。而 PCC 的电压谐波则往往是由非线性负荷的谐波电流造成的。因此,本文设计了如图 11 所示的实验平台来模拟系统中的突变和谐波。图中: DSP 表示数字信号处理器; A/D 表示模数转换器; D/A 表示数模转换器。

图 11 中,变压器为理想变压器, L_g 为电网的短路电抗,负荷 A 用在第 1 个试验中,负荷 B 用在第 2 个实验中。电抗 L_s 的作用如下: ①使负荷电压与

系统电压之间产生相移;②当开关S闭合后,维持系统电压并使负荷电压产生跌落和相角跳变;③利用负荷B的谐波电流产生谐波电压。

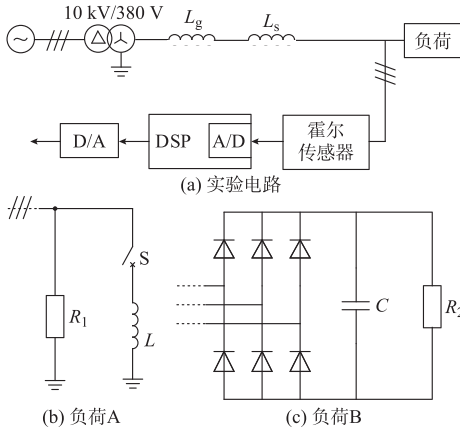


图 11 实验平台
Fig.11 Experiment platform

实验电路中, $L_g = 0.40 \text{ mH}$, $L_s = 5.86 \text{ mH}$, $L = 2.35 \text{ mH}$, $C = 1\ 100 \text{ }\mu\text{F}$, $R_1 = 6 \text{ }\Omega$, $R_2 = 60 \text{ }\Omega$ 。DSP 采用的是 TMS320f28335, 其时钟频率为 150 MHz, 采样频率为 10 kHz。

实验中, 利用一个传统的 PLL 作为对照, 其 $\omega_n = 40\pi \text{ rad/s}$, $\xi = 0.707$ 。传统 PLL 对 v_{dq} 进行了归一化以克服输入电压波动的影响。新型 PLL 的实验结果和传统 PLL 的实验结果见附录 B。由于难以计算出实际的检测误差, 所以输出了图 3 中的 e_φ 和图 1 中的 e 来反映 PLL 的动态响应过程, 但是 e_φ 和 e 的幅值没有明确的物理意义。当负荷 B 投入运行后, 负荷电压中含有大量 $6n \pm 1$ 次谐波, 其低次谐波的含量分别为 5 次 8.1%, 7 次 3.3%, 11 次 3.6%, 13 次 3.0%, 17 次 2.2%, 19 次 2.0%。

实验结果表明: 新型 PLL 在电压不对称时依然有精确的输出, 反映了 FADF 滤除负序电压的性能; 在电压跌落时, 新型 PLL 的响应时间仅需 11 ms, 但传统 PLL 却需要 30 ms, 若要提高传统 PLL 在电压不对称情况下相角的检测精度, 其响应时间将会更长; FADF 具有良好的滤波性能; 在谐波实验中, 传统 PLL 检测相角的误差不大, 说明高次谐波对传统 PLL 的影响要远小于负序电压的影响。

与传统 PLL 相比, 新型 PLL 的计算量增加较多。新型 PLL 完成每个采样周期的计算需要 20.7 μs , 但传统 PLL 仅需 3.7 μs 。这对新型 PLL 的应用会造成一定的限制。对于大容量的并网型设备而言, 如 STATCOM, HVDC 等, 其控制器多采用高性能 DSP 加现场可编程门阵列 (FPGA), 甚至是多 DSP 加多 FPGA 的方案, 这些控制器的计算能力非常强大。在这些应用场合下, 新型 PLL 不存在

限制。但对于小容量的并网型变换器而言, 为了保持产品的成本优势, 其控制器往往采用性能较低的单片机或 DSP, 再考虑到基本功能控制、人机界面控制、通信等因素, 可能会使得控制器无法胜任新型 PLL 所要求的计算量。在这种情况下, 可以在保持性能基本不变的前提下, 对新型 PLL 进行适当简化。

4 新型 PLL 的简化

实际电网的频率非常接近其额定值, 以国内公共电网为例, 其频率偏差一般在 $\pm 0.1 \text{ Hz}$ 之内。因此, 可以省略新型 PLL 中的 FLL, 使用额定频率代替。

造成相角检测误差的主要原因是负序电压和幅值较大的低次谐波。因此, 可仅采用两重化或三重化 DSC 算法滤除负序和低次谐波, 并且采用线性插值算法, 以降低 FADF 的计算量, 并可减少 DSP 记录历史采样数据的存储空间。但要适当降低巴特沃斯低通滤波器的转折频率, 从而使得 PLL 的响应时间有所增加。简化后的 PLL 如图 12 所示。

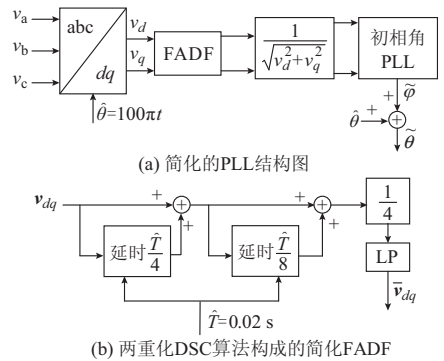


图 12 简化后的新型 PLL
Fig.12 Simplified version of the proposed PLL

仿真结果表明, 简化的 PLL 依然保持较高的精度。实验中, 简化 PLL 的计算量大幅减少, 耗时缩短至 6.6 μs 。

5 结语

本文提出了一种新型 PLL 来实现并网型变换器与电网的同步。该新型 PLL 分别检测输入电压的频率和初相位, 并利用这些信息合成输入电压的相位。该 PLL 采用了基于多重化 DSC 算法的 FADF、基于微分算法的 FLL 和初相位检测 PLL。仿真和实验表明, 该新型 PLL 可以避免电网不对称及电压谐波对检测相角的影响, 保持频率检测和相角检测的准确性。相角突变时, 新型 PLL 的响应时间非常快, 约为 10 ms。考虑到电网的实际情况, 可以对新型 PLL 进行适当简化以减少其所需的计算

量,并保持其性能基本不变,因此新型 PLL 亦可应用于计算能力较低的控制装置。

附录见本刊网络版 (<http://aeps.sgepri.sgcc.com.cn/aeps/ch/index.aspx>)。

参考文献

[1] JOVICIC D. Phase locked loop system for FACTS[J]. IEEE Trans on Power System, 2003,18(3): 1116-1124.

[2] 李春华,黄伟雄,袁志昌,等.南方电网±200 MVA 链式 STATCOM 系统控制策略[J].电力系统自动化,2013,37(3): 116-121.
LI Chunhua, HUANG Weixiong, YUAN Zhichang, et al. Systematic control strategies for cascaded ±200 MVA STATCOM in China Southern power grid[J]. Automation of Electric Power Systems, 2013, 37(3): 116-121.

[3] LASCU C, ASIMINOAEI L, BOLDEA I, et al. High performance current controller for selective harmonic compensation in active power filters[J]. IEEE Trans on Power Electronics, 2007, 22(5): 1826-1835.

[4] 王成山,肖朝霞,王守相.微电网综合控制与分析[J].电力系统自动化,2008,32(7):98-103.
WANG Chengshan, XIAO Zhaoxia, WANG Shouxiang. Synthetic control and analysis of microgrid[J]. Automation of Electric Power Systems, 2008, 32(7): 98-103.

[5] 陈海荣,徐政.适用于 VSC-MTDC 系统的直流电压控制策略[J].电力系统自动化,2006,30(19):28-33.
CHEN Hairong, XU Zheng. A novel DC voltage control strategy for VSC based multi-terminal HVDC system [J]. Automation of Electric Power Systems, 2006, 30(19): 28-33.

[6] 刘云,印永华,曾南超,等.数模混合式高压直流输电仿真系统的建立[J].电力系统自动化,2006,30(18):38-44.
LIU Yun, YIN Yonghua, ZENG Nanchao, et al. Establishment of the digital-analogical hybrid HVDC simulation system[J]. Automation of Electric Power Systems, 2006, 30(18): 38-44.

[7] WEIDENBRÜG R, DAWSON F P, BONERT R. New synchronization method for thyristor power converters to weak AC-systems[J]. IEEE Trans on Industrial Electronics, 1993,

40(5): 505-511.

[8] VAINIO O, OVASKA S J. Noise reduction in zero crossing detection by predictive digital filtering [J]. IEEE Trans on Industrial Electronics, 1995, 42(1): 58-62.

[9] SVENSSON J. Synchronization methods for grid-connected voltage source converters [J]. IEE Proceedings: Generation Transmission and Distribution, 2001, 148(3): 229-235.

[10] HSIEH G C, HUNG J C. Phase-locked loop techniques—a survey [J]. IEEE Trans on Industrial Electronics, 1996, 43(6): 609-615.

[11] CHUNG S K. A phase tracking system for three phase utility interface inverters [J]. IEEE Trans on Power Electronics, 2000, 15(3): 431-438.

[12] KAURA V, BLASKO V. Operation of a phase locked loop system under distorted utility conditions [J]. IEEE Trans on Industry Applications, 1997, 33(1): 58-63.

[13] KARIMI-GHARTEMANI K, IRAVANI M R. A method for synchronization of power electronic converters in polluted and variable-frequency environments [J]. IEEE Trans on Power Systems, 2004, 19(3): 1263-1270.

[14] LE T N. Kompensation schnell veränderlicher blindströme eines drehstromverbrauchers [J]. ETZ Archiv, 1989, 11(8): 249-253 (in German).

[15] SVENSSON J, BONGIORNO M, SANNINO A. Practical implementation of delayed signal cancellation method for phase-sequence separation [J]. IEEE Trans on Power Delivery, 2007, 22(1): 18-26.

姜齐荣(1969—),男,博士,教授,博士生导师,主要研究方向:柔性输配电技术、电能质量分析与控制、新能源发电与分布式发电技术。

王亮(1984—),男,通信作者,博士研究生,主要研究方向:灵活交流输配电系统建模与控制及其在电力系统稳定和电能质量方面的应用。E-mail: s.wl@live.cn

张春朋(1976—),男,博士,讲师,主要研究方向:灵活交流输配电系统和电能质量。

(编辑 蔡静雯)

A New Phase-locked Loop Based on Decoupled Detection of Frequency and Initial Phase Angle

JIANG Qirong, WANG Liang, ZHANG Chunpeng, HONG Lucheng, WEI Yingdong, XIE Xiaorong
(State Key Laboratory of Control and Simulation of Power Systems and Generation Equipments,
Tsinghua University, Beijing 100084, China)

Abstract: This paper proposes a new three-phase phase-locked loop (PLL) consisting of a frequency-locked loop (FLL) and an initial phase angle PLL. The FLL employs a new differential algorithm to detect frequency error. The algorithm is able to bypass frequency detection error caused by phase jumps and voltage abrupt changes. The proposed PLL employs a frequency adaptive digital filter (FADF) to filter harmonics and noises in the input voltage. The FADF employs multistage delayed signal cancellation (DSC) to eliminate low-frequency harmonics. Then higher frequency harmonics and noises are removed by the Butterworth low-pass filter. The FADF can quickly and accurately extract the fundamental frequency positive sequence in the dq domain. Meanwhile, the initial phase angle PLL has a high natural frequency which makes it possible for the proposed PLL to rapidly realize synchronization after phase angle jumps. Simulations and experiments have proved the effectiveness of the proposed PLL. For its application in low cost controllers, a simplified algorithm of the PLL is presented.

This work is supported by National Key Technology Research and Development Program of China (No. 2007BAA12B02, No. 2011BAA01B03).

Key words: phase-locked loop (PLL); grid synchronization; frequency-locked loop (FLL); delayed signal cancellation (DSC); digital filter