

文章编号:1001-5078(2012)08-0917-04

· 红外材料与器件 ·

CdTe/Si 复合衬底 Ex-situ 退火研究

刘 铭,周立庆,巩 锋,常 米,王经纬,王 丛
(华北光电技术研究所,北京 100015)

摘 要:复合衬底 CdTe/ZnTe/Si 的晶体质量是导致随后外延的 HgCdTe 外延膜高位错密度的主要原因之一,因此如何提高复合衬底 CdTe/Si 晶体质量是确保硅基碲镉汞走上工程化的关键所在。降低复合衬底 CdTe/Si 位错密度方法一般有:生长超晶格缓冲层、衬底偏向、In-situ 退火和 Ex-situ 退火等,本文主要研究 Ex-situ 退火对复合衬底 CdTe/Si 晶体质量的影响。研究表明复合衬底经过 Ex-situ 退火后位错密度最好值达 $4.2 \times 10^5 \text{ cm}^{-2}$,双晶半峰宽最好值达 60 arcsec。

关键词:CdTe/Si; MBE; 晶体质量; Ex-situ 退火

中图分类号:TN213 **文献标识码:**A **DOI:**10.3969/j.issn.1001-5078.2012.08.018

Research of CdTe/Si composite substrate by annealing

LIU Ming, ZHOU Li-qing, GONG Feng, CHANG Mi, WANG Jing-wei, WANG Cong
(North China Research Institute of Electro-optics, Beijing 100015, China)

Abstract: One of the main methods to reduce the HgCdTe/Si dislocation density is to reduce CdTe/Si composite substrate's dislocation density. How to improve the CdTe/Si composite substrate's crystal quality is very critical for HgCdTe/Si FPAs. The general methods to reduce CdTe/Si composite substrate dislocation density are: growth of superlattice buffer layer, Si substrate misorientation and annealing etc. This paper presents the result of the influence on the quality of CdTe/Si composite substrate by Ex-situ annealing. The research indicates that after Ex-situ annealing, the EPD of composite substrate can reduce to $4.2 \times 10^5 \text{ cm}^{-2}$, and the FWHM can reduce to 60 arcsec.

Key words: CdTe/Si; MBE; crystal quality; Ex-situ annealing

1 引 言

碲镉汞材料由于其优异的光电性能而成为制备高性能红外探测器的首选材料之一,传统的碲镉汞薄膜主要是以碲锌镉单晶材料作为衬底。由于大尺寸碲锌镉单晶材料难以获得,且衬底加工性差以及与 Si 读出电路的热失配等原因导致碲锌镉基碲镉汞薄膜材料制备成本高、成品率低,因此寻找和开发碲锌镉替代衬底材料的研究工作一直贯穿于碲镉汞红外焦平面技术发展的过程中。在碲锌镉替代衬底的研究中,研究者探索了蓝宝石、GaAs, Si, Ge, InSb 等多种替代衬底。与其他替代衬底相比, Si 基复合衬底具有以下的优势:更大的可用面积,为大面积红外焦平面器件的制备提供了可能;更低的材料成本

(如图 1 所示);与 Si 读出电路的热应力匹配,解决了器件互连过程中与读出电路的热失配问题;较高

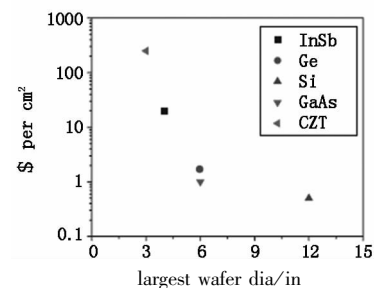


图 1 衬底尺寸和价格情况^[1]

作者简介:刘 铭(1985-),男,工程师,硕士,主要从事探测器材料分子束外延工艺研究。E-mail:kaka_851001@163.com
收稿日期:2011-11-21; **修订日期:**2011-12-10

的机械强度和平整度,实现了器件工艺过程中的良好的兼容匹配性;因此它成为诸多替代衬底中最具有竞争力的一种,尤其在大面阵中短波碲镉汞的组件的应用更是具有其优势。

Si 和 CdTe 之间存在 19.3% 的晶格失配导致高的界面能,而导致 Si 基复合衬底往往存在高的位错密度(比 CdZnTe 高 1~2 个量级),如此高的位错密度贯穿到随后外延的 HgCdTe 薄膜,会导致暗电流增大和 R_0A 减小,从而降低探测器的性能。因此如何降低 Si 基复合衬底的位错密度,提高其晶体质量是 Si 基碲镉汞器件走向工程化的关键所在。降低复合衬底 CdTe/Si 位错密度方法一般有:生长超晶格缓冲层^[2]、衬底偏向^[3]、原位退火(In-situ)和 Ex-situ 退火^[3]等。本文主要报道了 Ex-situ 退火对复合衬底晶体质量的影响。

2 研究与实验

CdTe/ZnTe(211)B 复合衬底薄膜是在 3 in Si(211)衬底上,采用 MBE 技术制备的,材料生长在 DCA P600 MBE 系统中进行,Ex-situ 退火在自研制的三温区退火炉中完成。

Si(211)衬底经改进的 RCA 湿化学工艺处理后,装入 MBE 系统,采用无钢粘接的方式固定。衬底先经过除气处理、高温去除氧化层、As 钝化,然后通过 MEE 的方式生长一层 ZnTe 缓冲层,最后外延 CdTe 薄膜(8~12 μm 左右,如图 2 所示)。CdTe/ZnTe(211)B 复合衬底薄膜经原位(In-situ)退火处理,具体生长工艺可参见文献[5]。复合衬底的晶体质量用原位 20 keV 反射式高能电子衍射仪(RHEED)、X 射线高分辨衍射(XRD)进行分析,XRD 采用 Cu $K\alpha_1$ 特征谱线,单色器采用四个 Ge(220)晶体;采用红外傅里叶变换光谱仪(FTIR)对复合衬底的红外透过率和厚度进行测试;复合衬底的位错腐蚀选用 Everson 腐蚀液^[4],其配方为 $\text{HNO}_3:\text{HF}:\text{乳酸}=4:1:25$,腐蚀时间 30 s,分别采用光学显微镜、原子力显微镜和扫描电子显微镜进行位错统计。

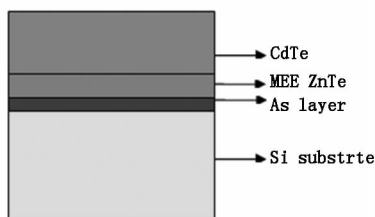


图 2 Si 基复合衬底结构示意图

2.1 位错机制研究

CdTe/ZnTe/Si 复合衬底的位错主要来源于大晶格失配导致的晶格失配位错、热膨胀系数不一样导致的热失配位错以及 Si 衬底表面缺陷产生的贯穿位错。Si 衬底通过外购获得,EPD < 50 cm^{-2} ,所以表面缺陷导致的贯穿位错可以忽略,因此晶格失配和热失配是导致 CdTe 外延膜位错的主要因素。

CdTe 和 Si 之间晶格失配达到 19.35%,热失配达 92.3% (如表 1 所示),导致界面处产生大量的失配位错(达到 $10^{13} \sim 10^{14} \text{cm}^{-2}$ 量级),这些位错大部分是刃型位错,残留在界面区域,但还是有相当一部分螺型位错会贯穿到外延层,但随着 CdTe 厚度的增加有一部分位错线通过交互作用而湮没或改变扩展方向,因此厚度越大,晶格失配位错会慢慢变少。Matthews 等人报道^[6]异质外延膜层应力的 $1/h$ 变化定律,随厚度 h 的增加应力呈 $1/h$ 的趋势减小,即位错密度也会呈现 $1/h$ 的变化,但是随厚度的增加衬底的弯曲度以及外延膜的外延引入的缺陷会产生额外位错,而且随着位错密度的减小,位错间距也会变大,使得位错闭合的概率减小,这些因素使得位错密度随厚度变化趋势存在一个饱和区,超过这个区域位错密度没有明显的变化。

表 1 常见复合衬底材料的晶体学参数

衬底	晶体结构	晶格常数/ \AA	晶格失配 (w/CdTe)/%	热膨胀系数/ $(10^{-6} \cdot \text{C}^{-1})$	热失配 (w/CdTe)/%
Si	金刚石	5.431	-19.35	2.6	-92.3
Ge	金刚石	5.643	-14.81	5.8	13.8
GaAs	闪锌矿	5.653	-14.66	5.8	13.8
CdTe	闪锌矿	6.482	-	5.0	-
InSb	闪锌矿	6.479	-0.05	5.4	7.4

通过对 Si 基复合衬底薄膜进行剥层腐蚀,测试 CdTe 薄膜双晶衍射半峰宽变化情况(如图 3 所示),发现随着 CdTe 厚度的增加,CdTe 薄膜的双晶衍射半峰宽急剧减少,当 CdTe 厚度达到 7~9 μm ,双晶衍射半峰宽变化不大。实验结果验证了位错密度随厚度变化规律,但是不符合 $1/h$ 变化规律^[6],因为外延过程中经过原位退火,原位退火为位错迁移提供了一个额外的迁移能,使得位错扩展的长度变长,有利于通过交互作用湮没和闭合,因此位错的饱和区域比理论计算更长,有文献报道经退火后位错的饱和区在 5 μm 以内^[2]。这个研究结果也为

复合衬底可以通过退火来减小位错密度提供了理论依据。

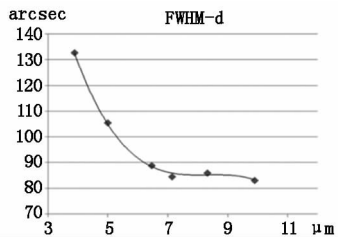


图3 Si 基复合衬底 CdTe 薄膜纵向剥层双晶衍射半峰宽情况

2.2 Ex-situ 退火研究

Y Chen 等人^[2] 研究表明通过原位退火 (In-situ) 可以较大程度的降低复合衬底双晶半峰宽以及位错密度。但是由于原位退火受外延工艺的影响, 退火温度很难加到太高, 因为退火温度高了容易造成表面 CdTe 脱附而形成微粗糙度, 这些微粗糙度将是位错的形核中心, 在随后生长过程中导致位错等缺陷的形成而影响晶体质量; 而且其他退火条件也受外延过程的影响, 而通过 Ex-situ 退火可以更灵活改变退火条件, 从而进一步降低复合衬底的位错密度, 提高复合衬底的晶体质量^[7]。

研究组在 Ex-situ 退火方面做了一些初步探索, 并取得可喜的进展。实验步骤是把外延完的 Si 基复合衬底进行划片 (20 mm × 20 mm) 对其进行真空封管, 真空度抽到 10^{-5} Pa, 为了不使复合衬底的表面形貌在退火过程变差, 封管时在管里加入少量的 Te, 保证复合衬底在高温退火时处于 Te 气氛。取 4 组实验片在 Te 气氛下进行不同条件 Ex-situ 退火, 实验退火曲线如图 4 所示, 退火条件通过设定不同的周期数来实现, 退火温度的设置通过参考在线退火工艺来设定, 并在这基础上通过实验来确定相对最优值, 晶体质量通过双晶衍射半峰宽和位错密度表示。退火后表面形貌变化不大, 周期数多的实验片边缘部分有少量的损伤。从图 5 可以看出经过 Ex-situ 退火复合衬底晶体质量有比较明显的变好趋势, 一般可以减小半峰宽达 10 arcsec 以上; 随周期数的增多, 变好的程度越大, 但是超过 10 周期后变化不是很明显。说明退火对晶体质量的改善有一定的限度, 并且随着周期数增多可能对表面的有所损伤, 因此选择合适退火周期数是退火工艺中关键的参数。

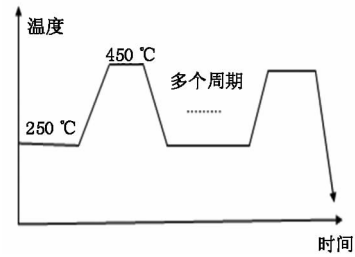


图4 Ex-situ 退火温度控制曲线

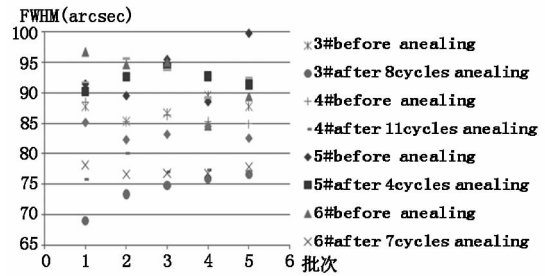


图5 生长完原生片和 Ex-situ 退火 FWHM 数值

对不同条件 Ex-situ 退火前后的一个复合衬底 M3SCT0934 进行位错腐蚀实验, 发现退火前位错密度 $1 \times 10^7 \text{ cm}^{-2}$ 左右; 退火后, 位错密度降到 $1 \times 10^6 \text{ cm}^{-2}$ 以下, 说明位错密度通过退火处理后有大幅度降低, 并且图 6 和图 7 中还可以发现, 随退火周期数增加, 位错密度减小, 10 周期退火后位错密度最低值已经达 $4.2 \times 10^5 \text{ cm}^{-2}$ 。但是随着退火周期数增加表面损伤增大, 位错密度变化不明显。

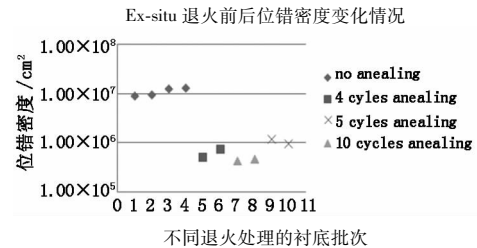


图6 退火前后位错密度变化情况

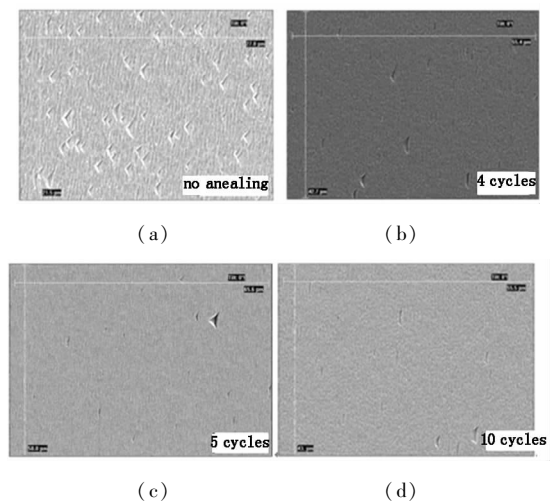


图7 不同退火条件下位错腐蚀坑的 SEM 图像

对于不同条件的 Ex-situ 退火前后的复合衬底进行光学形貌的对比发现存在以下几种情况(如图8所示):退火前后表面基本没有变化;退火前后有轻微的损伤;退火前后有严重的损伤。由于相同温度下,Te 和 Cd 的分压不同,如果退火温度或保护气氛不合适会造成表面 Te 和 Cd 的脱附量不一样而造成损伤,这种现象在衬底边缘尤为严重。因此如何减小退火对表面的损伤是我们接下来研究的重点,研究内容包括退火温度的优化和退火条件的优化。

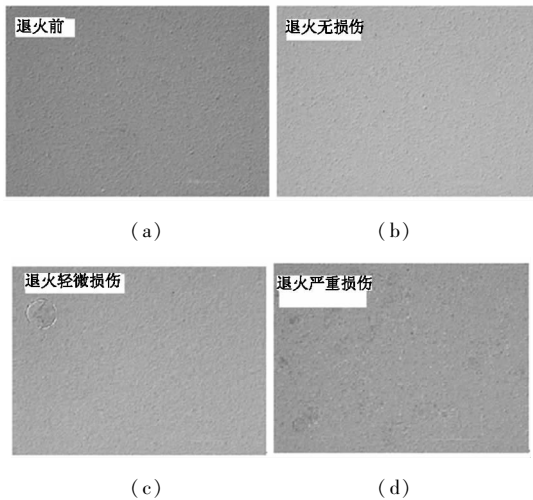


图8 不同退火条件下复合衬底退火前后光学形貌对比图

3 结论

在 3 in Si(211) 晶片上进行碲镉汞外延用复合衬底的制备研究过程中发现退火可以提高复合衬底的晶体质量。采用常规的外延工艺,通过优化退火工艺我们已经可以获得晶体质量良好的复合衬底,CdTe 外延膜厚度为 8 ~ 10 μm 时,位错密度最好值达 $4.2 \times 10^5 \text{ cm}^{-2}$ (SEM 和 AFM 计数),FWHM 达

60 arcs,性能参数达到国际先进水平。这些衬底已经成功用于外延 HgCdTe 薄膜,并已经通过制作大规模面阵的中波器件得到验证,成像效果良好。

致谢:对折伟林、强宇、晋舜国、沈宝玉等做的相关工作深表感谢!

参考文献:

- [1] Peter capper, James W Garland. Mercury cadmium telluride growth, properties and applications [M]. United Kingdom, John Wiley & Sons Ltd, 2010: 83 - 84.
- [2] Y Chen, S Farrell, et al. Dislocation reduction in CdTe/Si by molecular beam epitaxy through in-situ annealing [J]. Journal of Crystal Growth, 2008, 310: 5303 - 5307.
- [3] M Kawano, A Ajisawa, et al. HgCdTe and CdTe (-1 - 13) B growth on Si (112) 5° off by MBE [J]. Appl. Phys. Lett., 1996, 69(19): 2876 - 2879.
- [4] W J Everson, C K Ard, et al. Etch pit characterization of CdTe and CdZnTe substrate for use in mercury cadmium telluride epitaxy [J]. J. Electron. Mater., 1995, 24: 505 - 510.
- [5] Zhou Liqing, Liu Ming, Gong Feng, et al. Study on MBE CdTe layer on 3 inch silicon substrate [J]. Laser & Infrared, 2011, 41(5): 537 - 541. (in Chinese)
周立庆, 刘铭, 巩锋, 等. 3 in CdTe/Si 复合衬底外延技术研究 [J]. 激光与红外, 2011, 41(5): 537 - 541.
- [6] J W Matthews, S Mader, T B Light. Accommodation of misfit across the interface between crystals of semiconducting elements or compounds [J]. Journal of Applied Physics, 1970, 41: 3800 - 3804.
- [7] Gregory Brill, Yuanping Chen, et al. Infrared focal plane array technology utilizing HgCdTe/Si: Successes, roadblocks, and material improvements [J]. SPIE, 2009, 7419: 74190L - 1 - 74190L - 14.