

MAX14920/MAX14921

高精度12/16节电池测量AFE

概述

特性

MAX14920/MAX14921 电池测量模拟前端(AFE)器件用于高精度采样电池电压,并提供电平转换,可支持多达16节/+65V(最大)的主/辅电池组。MAX14920监测多达12节电池,MAX14921监测多达16节电池。两款器件均同时采样所有电池电压,允许高精度确定充电状态和源阻抗。将所有电池电压以单位增益转换成以地为基准的电压信号,简化外部ADC的数据转换。

器件具有低噪声、低失调放大器,可缓冲高达+5V的差分电压,允许监测所有常见锂离子(Li+)电池,电池电压误差为±0.5mV。

器件的高精度特性使其理想用于监测放电特性曲线非常平坦的电池,例如锂-金属磷酸盐电池。

通过外部FET驱动器支持无源电池平衡。器件内部集成的诊断功能允许实现开路检测和欠压/过压报警,器件可通过菊链SPI接口控制。

MAX14920采用64引脚(10mm x 10mm) TQFP封装,带裸焊盘;MAX14921采用80引脚(12mm x 12mm) TQFP封装。两款器件均工作在-40°C至+85°C扩展级温度范围。

应用

工业备用电池系统
电信备用电池系统
储能电池组
电子运输储能电池组

- ◆ 高精度
 - ◇ ±0.5mV(最大)电池电压
 - ◇ 同时采样电池电压
 - ◇ 自校准
- ◆ 集成诊断功能
 - ◇ 开路和短路故障检测
 - ◇ 欠压/过压报警
 - ◇ 热关断
- ◆ 高灵活性
 - ◇ SPI接口
 - ◇ 提供12节和16节电池配置版本
 - ◇ +6V最小(3节电池)工作电压
 - ◇ +0.5V至+4.5V电池电压测量范围
 - ◇ 集成电池平衡FET驱动器
 - ◇ 集成5V LDO
- ◆ 低功耗
 - ◇ 1μA关断模式
 - ◇ 1μA/10μA电池耗流

[订购信息](#)在数据资料的最后给出。

[功能框图](#)在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品,请参见: china.maximintegrated.com/MAX14920.related。

MAX14920/MAX14921

高精度12/16节电池测量AFE

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to AGND.)

V_P to AGND	-0.3V to +70V
LDOIN to AGND	$(V_A - 0.3V)$ to $(V_P + 0.3V)$
V_A to AGND	-0.3V to +6V
CV0, DGND to AGND	-0.3V to +0.3V
SCLK, SDI, \overline{CS} , EN	-0.3V to +6V
SDO, SAMPL	-0.3V to $(V_L + 0.3V)$
CV1 to AGND	-0.3V to +6V
CV2–CV12 to AGND	$(V_{CV(n^* - 1)} - 0.3V)$ to $(V_P + 0.3V)$
CT1–CT12 to AGND	-0.3V to $(V_{CV1} - V_{CV12} + 0.3V)$
CB2–CB12 to AGND	-0.3V to $(V_{CV(n^* - 1)} + 0.3V)$
CV2–CV16 to AGND (MAX14921 only)	$(V_{CV(m^{**} - 1)} - 0.3V)$ to $(V_P + 0.3V)$
CT1–CT16 to AGND (MAX14921 only)	-0.3V to $(V_{CV1} - V_{CV16} + 0.3V)$
CB2–CB16 to AGND (MAX14921 only)	-0.3V to $(V_{CV(m^{**} - 1)} + 0.3V)$

BA1 to AGND	-0.3V to $(V_{CV1} + 0.3V)$
BA2–BA12 to AGND	$(V_{CV(n^* - 1)} - 0.3V)$ to $\min(V_{CV(n^* + 0.3V)}$ or +6V)
BA2–BA16 to AGND (MAX14921 only)	$(V_{CV(m^{**} - 1)} - 0.3V)$ to $\min(V_{CV(m^{**} + 0.3V)}$ or +6V)
AOUT, T1, T2, T3 to AGND	-0.3V to $(V_A + 0.3V)$
Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
64-Pin TQFP-EP (derate 31.3mW/°C above +70°C)	2508mW
80-Pin TQFP (derate 23.3mW/°C above +70°C)	1860mW
Operating Temperature Range	-40°C to +85°C
Maximum Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C
$n = 2-12$	
$m = 2-16$	

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

Junction-to-Ambient Thermal Resistance (θ_{JA})

64-Pin TQFP-EP	31.9°C/W
80-Pin TQFP	43°C/W

Junction-to-Case Thermal Resistance (θ_{JC})

64-Pin TQFP-EP	1°C/W
80-Pin TQFP	8°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

DC ELECTRICAL CHARACTERISTICS

($V_P = +65V$, DGND = AGND, $V_L = V_{EN} = +3.3V$, $V_A = +5V$, $C_{SAMPLE} = 1\mu\text{F}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
V_P Supply Voltage	V_P		+6		+65	V
V_P Supply Current	I_{P_OFF}	EN = low or LOPW = 1			1	μA
	I_{P_ON}	EN = high		65	150	
LDOIN Supply Voltage	V_{LDOIN}		+6		+65	V
LDOIN Supply Current	I_{LDOIN_OFF}	EN = low, $I_A = 0A$		75	125	μA
	I_{LDOIN_ON}	EN = high, $I_A = 0A$		350	500	
V_A Analog Supply Voltage	V_A	V_A supply externally, $V_A = V_{LDOIN}$	+4.75	+5	+5.25	V
V_A Analog Supply Current	I_{A_OFF}	EN = low, $V_A = V_{LDOIN}$		50	75	μA
	I_{A_ON}	EN = high, $V_A = V_{LDOIN}$		350	450	
V_L Supply Voltage	V_L		+1.62		+5.5	V
V_L Supply Current	I_L	All logic inputs static, held at logic-low or logic-high		2.5	5	μA

MAX14920/MAX14921

高精度12/16节电池测量AFE

DC ELECTRICAL CHARACTERISTICS (continued)

($V_P = +65V$, $DGND = AGND$, $V_L = V_{EN} = +3.3V$, $V_A = +5V$, $C_{SAMPLE} = 1\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_P UVLO	UV_VPVTH	V_P rising			+6	V
UVLO Hysteresis	UV_VPHYST			200		mV
LDOIN UVLO	UV_LDOINVT	V_{LDOIN} rising	+5.25		+6	V
V_A UVLO	UV_VAVTH	V_A rising			+4.7	V
V_L UVLO	UV_VLVTH	V_L rising			+1.6	V
LDO Output Voltage	$V_{A_LDO_OUT}$	$0 < I_{LOAD} < 10mA$	+4.75	+5	+5.25	V
ANALOG INPUTS (T1, T2, T3)						
Input Signal Range	V_T	Reference to AGND	0		V_A	V
On-Resistance	R_{ONA}				200	Ω
Input Leakage Current	I_{T_LEAK}	T_- route to buffer amplifier	-1		+1	μA
		T_- route to AOUT	-1		+1	
CAPACITOR INPUTS (CT_)						
Capacitor Discharge Current	$I_{LT_}$	Hold phase, SAMPL = low	-1		+1	μA
ANALOG INPUTS (CV_)						
Differential Input Signal Range for Guaranteed Accuracy	V_{Dn}	$V_{CVn} - V_{CVn-1}$ (Note 3)	+0.5		+4.5	V
CV1 Input Voltage Range	V_{CV1}		0		+5	V
CV2–CV12 Input Voltage Range (MAX14920)	V_{CVn}	$n \geq 2$, $V_{CVn} \geq V_{CVn-1}$ (Note 3)	+1.5		+65	V
CV2–CV16 Input Voltage Range (MAX14921)	V_{CVm}	$m \geq 2$, $V_{CVm} \geq V_{CVm-1}$ (Note 3)	+1.5		+65	V
Input Leakage Current	$I_{LS_}$	During sampling phase	-1		+1	μA
	$I_{LH_}$	During holding phase	-1		+10	
	$I_{LC_}$	During calibration	-1		+10	
	$I_{LD_}$	During diagnostics, DIAG = 1		10		
Balancing Input Current	$I_{LB_}$	BA_ active, $V_{CVn} - V_{CVn-1} = +4.5V$ (Note 3)		6.5	12	mA
Sample Switch On-Resistance	R_{SAMPLE}	$V_{CVn} > +2V$, $I_{SINK} = 2mA$ (Note 3)		80	150	Ω
		$V_{CVn} > +1.5V$, $I_{SINK} = 1mA$ (Note 3)		90		
	R_{SWCAL}	$V_{CVn} > +2V$, $I_{SINK} = 2mA$ (Note 3)		800	16,000	
Cell Undervoltage Threshold	UV_VCVTH	An undervoltage sets the associated SPI Cn bit	+1.4	+1.5	+1.6	V
Cell Overvoltage Threshold	OV_VCVTH	An overvoltage sets the associated SPI Cn bit		V_A		V

MAX14920/MAX14921

高精度12/16节电池测量AFE

DC ELECTRICAL CHARACTERISTICS (continued)

($V_P = +65V$, $DGND = AGND$, $V_L = V_{EN} = +3.3V$, $V_A = +5V$, $C_{SAMPLE} = 1\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG OUTPUT (AOUT)						
Output Signal Range	V_{AOUT}	Reference to AGND	+0.3		$V_A - 0.3$	V
Amplifier Offset Voltage	V_{OFFSET}	$V_{AOUT} = +3.3V$, after self-calibration (Note 5)		± 50	± 100	μV
Temperature Offset Drift		If not recalibrated		± 1.5		$\mu V/^\circ C$
Gain	A_V	Gain = V_{AOUT}/V_D		1		V/V
Output Error	V_{O_ERR}	(Note 4)	-0.5		+0.5	mV
Amplifier Gain Error	V_{GAIN_ERR}	$R_{OUT} = 100k\Omega$, $V_D = 2V$ to $4.5V$ (Note 6)	-0.2		+0.2	mV
V_P Monitor Voltage	V_{PMON}	[SC0, SC1, SC2, SC3] = [0, 0, 1, 1] MAX14920 MAX14921		$V_P/12$ $V_P/16$		V
V_P Monitor Accuracy	V_{PMONA}	[SC0, SC1, SC2, SC3] = [0, 0, 1, 1]	-0.25	0	+2.5	%
CHARGE-BALANCE DRIVERS (BA_)						
Output Low	V_{BAL}	$I_{BA_} = 1mA$, $V_{CV(n)} - V_{CV(n-1)} = +3.3V$ (Note 3)	$V_{CV(n-1)}$		$V_{CV(n-1)} + 0.9$	V
Output High	V_{BAH}	$I_{BA_} = -1mA$, $V_{CV(n)} - V_{CV(n-1)} = +3.3V$ (Note 3)	$V_{CV(n)} - 1.5$		$V_{CV(n)}$	V
Pulldown Resistance	R_{PDWN}			0.65	0.9	$k\Omega$
LOGIC OUTPUT (SDO)						
Output Low Voltage	V_{OL}	$I_{SINK} = 10mA$			+0.9	V
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.5mA$	$V_L - 0.25$			V
Output Leakage Current	I_L	$\overline{VCS} = V_L$	-1		+1	μA
LOGIC INPUTS (SDI, SCLK, EN, SAMPL)						
Input Low Voltage	V_{IL}	$V_L < +2.3V$			$0.2 \times V_L$	V
		$+2.3V < V_L < +5.5V$			$0.3 \times V_L$	
Input High Voltage	V_{HL}	$V_L < +2.3V$	$0.8 \times V_L$			V
		$+2.3V < V_L < +5.5V$	$0.7 \times V_L$			
Input Leakage Current	I_L		-1		+1	μA
DYNAMIC CHARACTERISTICS						
AOUT Settling Time	t_{SET}	Measured between channels with +4V signal change. Settling to $\pm 1mV$ accuracy, $C_{LOAD} = 100pF$ (Figure 1)		5		μs
Sampling Time	t_{SAMPL}	$C_{SAMPLE} = 1\mu F$	4			ms
		$C_{SAMPLE} = 1\mu F$, error calibration	40			
Holding Delay Time	t_{HD}	Delay from \overline{SMPLB} set to 1 or SAMPL falling edge to holding of all cell voltages		0.5		μs

MAX14920/MAX14921

高精度12/16节电池测量AFE

DC ELECTRICAL CHARACTERISTICS (continued)

($V_P = +65V$, $DGND = AGND$, $V_L = V_{EN} = +3.3V$, $V_A = +5V$, $C_{SAMPLE} = 1\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Level-Shifting Delay Time	t_{LS_DELAY}	Delay from \overline{SMPLB} set to 1 or $SAMPL$ falling edge to shifting of all cell voltages to ground and available for reading		25	50	μs
AOUT Voltage-Droop Time	t_{DROOP}	Droop to -1mV (Figure 2)	1			ms
T_- Settling Time	t_{TS}	Measured between T_- input selection and AOUT settling to +1mV accuracy, $C_{LOAD} = 100pF$, $SC2 = 1$		5		μs
T_- Turn-On Delay Time	t_{TD}				0.2	μs
V_P Settling Time	t_{VPS}	Measured between $V_P/12$ (MAX14920), $V_P/16$ (MAX14921) input selection and AOUT, settling to 2.5%, $C_{LOAD} = 100pF$, $SC3 = 1$		25	60	μs
Self-Calibration Time					8	ms
THERMAL DETECTION						
Thermal Shutdown				+140		$^\circ C$
Thermal-Shutdown Hysteresis				15		$^\circ C$
SPI TIMINGS (Figure 3)						
SDI to SCLK Setup	t_{DS}		50			ns
SDI to SCLK Hold	t_{DH}				12	ns
SCLK to SDO Valid	t_{DO}				100	ns
\overline{CS} Fall to SDO Enable	t_{DV}				100	ns
\overline{CS} Rise to SDO Disable	t_{TR}				80	ns
\overline{CS} Pulse Width	t_{CSW}		50			ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		100			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CSH}				0	ns
SCLK High Pulse Width	t_{CH}		65			ns
SCLK Low Pulse Width	t_{CL}		65			ns
SCLK Period	t_{CP}		208			ns

Note 2: All devices are 100% production tested at $T_A = +25^\circ C$. Limits over the operating temperature range are guaranteed by design.

Note 3: Where $n = 1-12$ (MAX14920) and $n = 1-16$ (MAX14921).

Note 4: Output error V_{O_ERR} is the difference between the input cell difference voltage ($V_D = V_{CV(n)} - V_{CV(n-1)}$) and the output voltage V_{AOUT} . Where $n = 1-12$ (MAX14920) and $n = 1-16$ (MAX14921). Output error depends on buffer amplifier errors and parasitic capacitance charge injection error. Since parasitic capacitance error is PCB dependent, output error is guaranteed by design for a sampling capacitor of $1\mu F$ and parasitic capacitance less than $2.5pF$ on CTn (see the [Measurement Accuracy](#) section for a detailed explanation).

Note 5: Buffer amplifier self-calibrates its offset at power-up and every time it is requested. Due to possible thermal drift after power-up phase, it is suggested to run self-calibration on a regular basis to get best performance (see the [Buffer Amplifier Offset Calibration](#) section for a detailed explanation).

Note 6: Amplifier error is the sum of all errors including amplifier offset and gain error.

MAX14920/MAX14921

高精度12/16节电池测量AFE

时序图

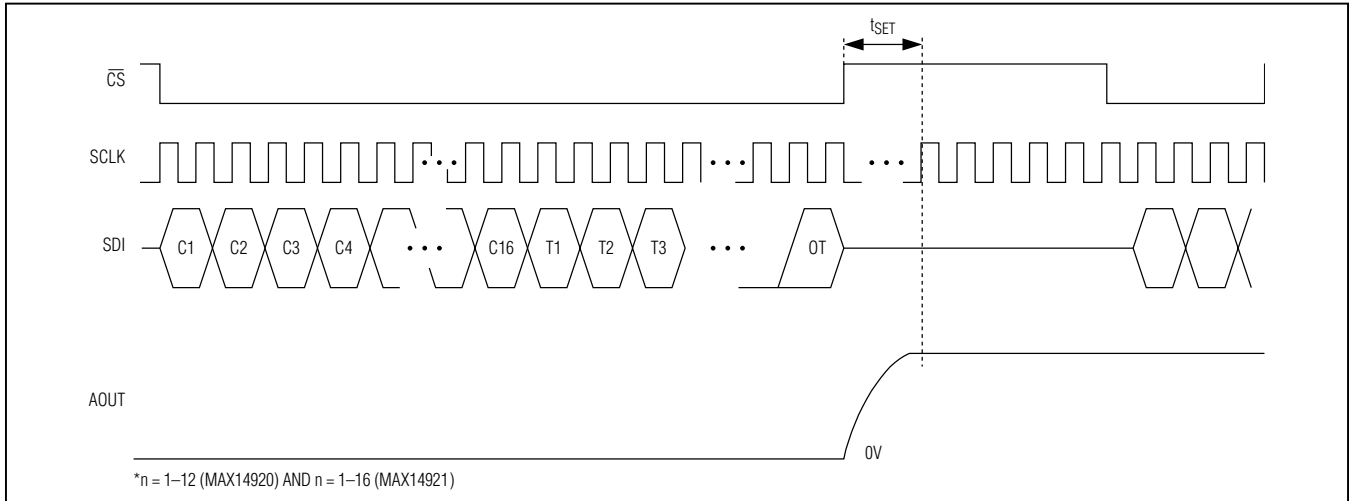


图1. AOUT延迟，用于选择SPI

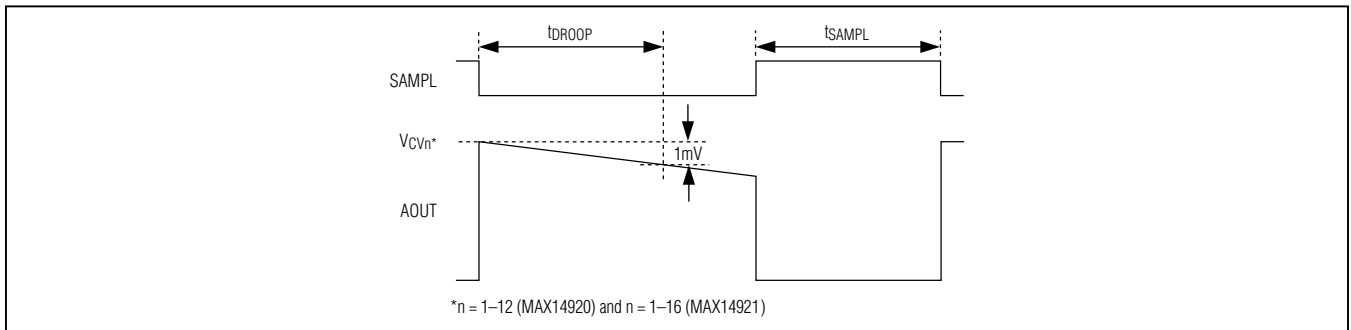


图2. AOUT电压跌落时间

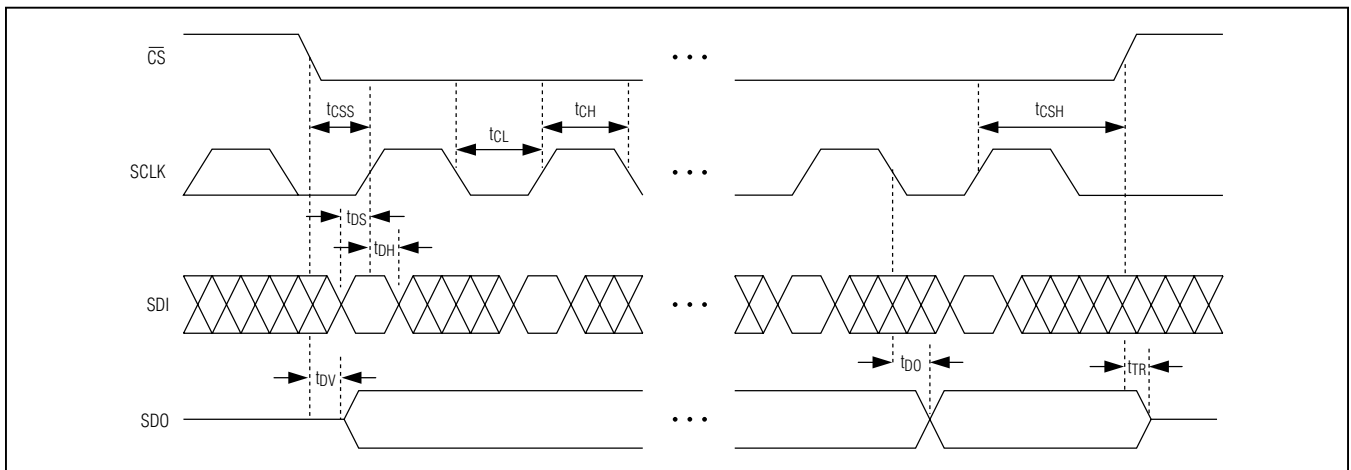


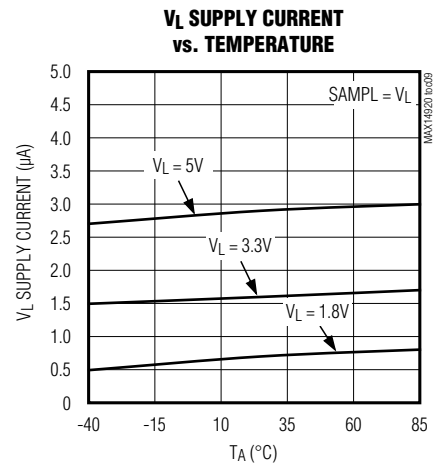
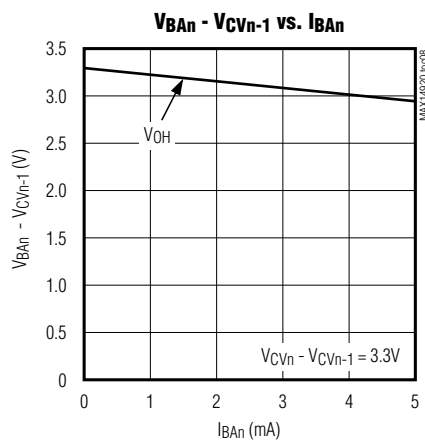
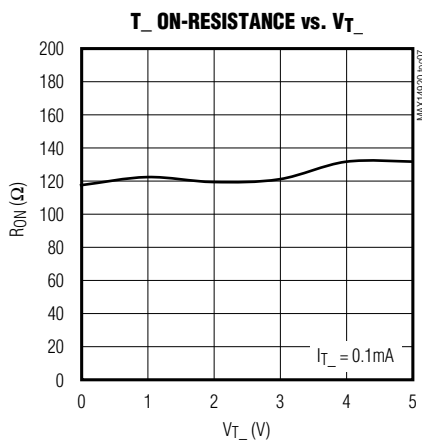
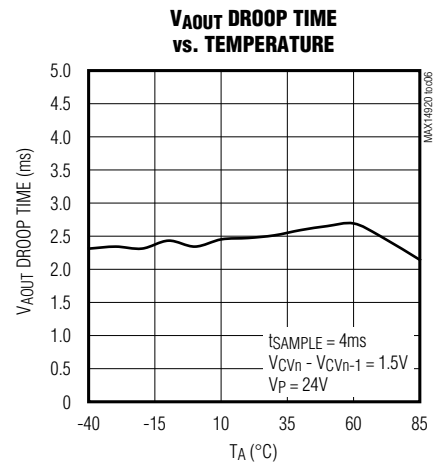
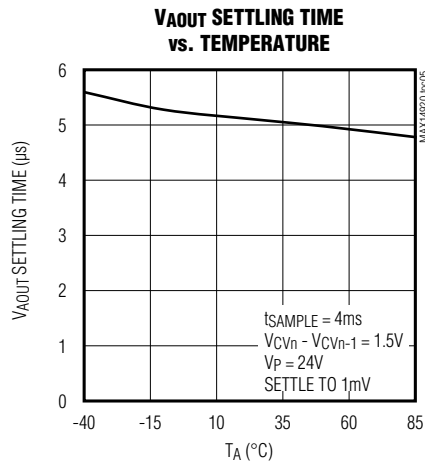
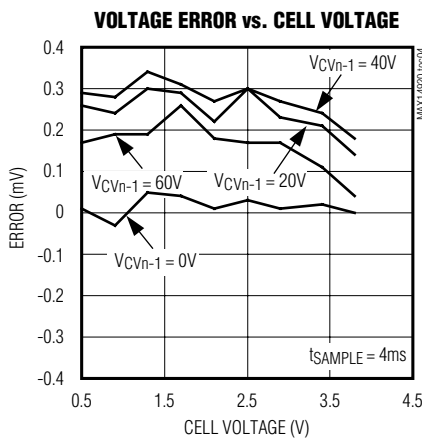
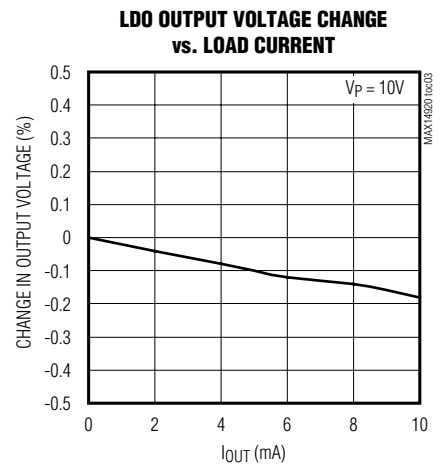
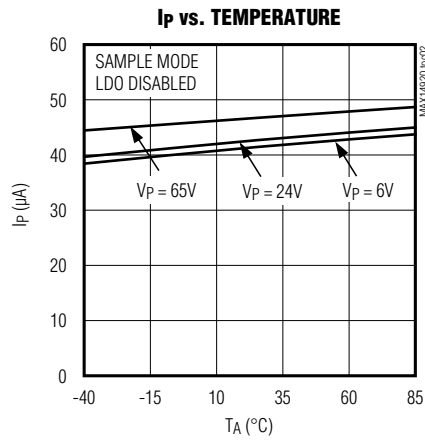
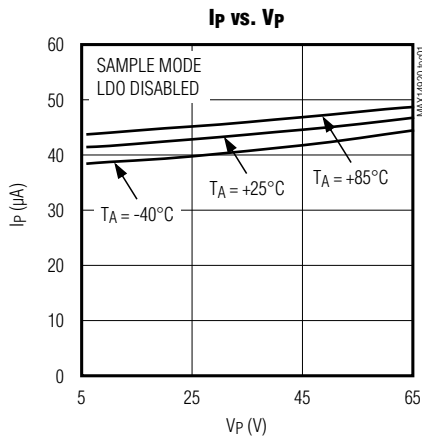
图3. SPI时序

MAX14920/MAX14921

高精度12/16节电池测量AFE

典型工作特性

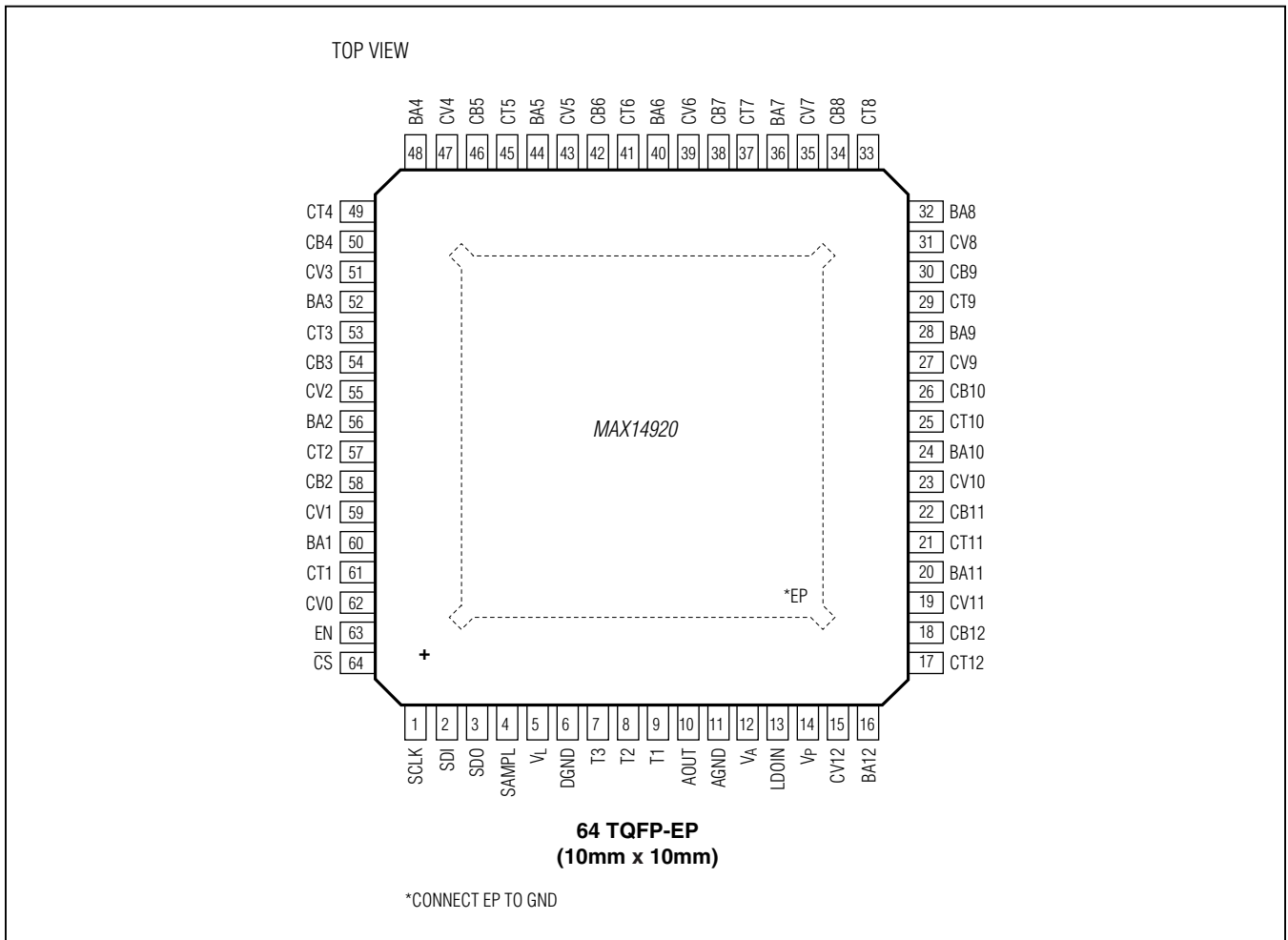
($V_{CVn} - V_{CV(n-1)} = +3.3V$ (where $n = 1-12$ (MAX14920) and $n = 1-16$ (MAX14921)), $T_A = +25^\circ C$, unless otherwise noted.)



MAX14920/MAX14921

高精度12/16节电池测量AFE

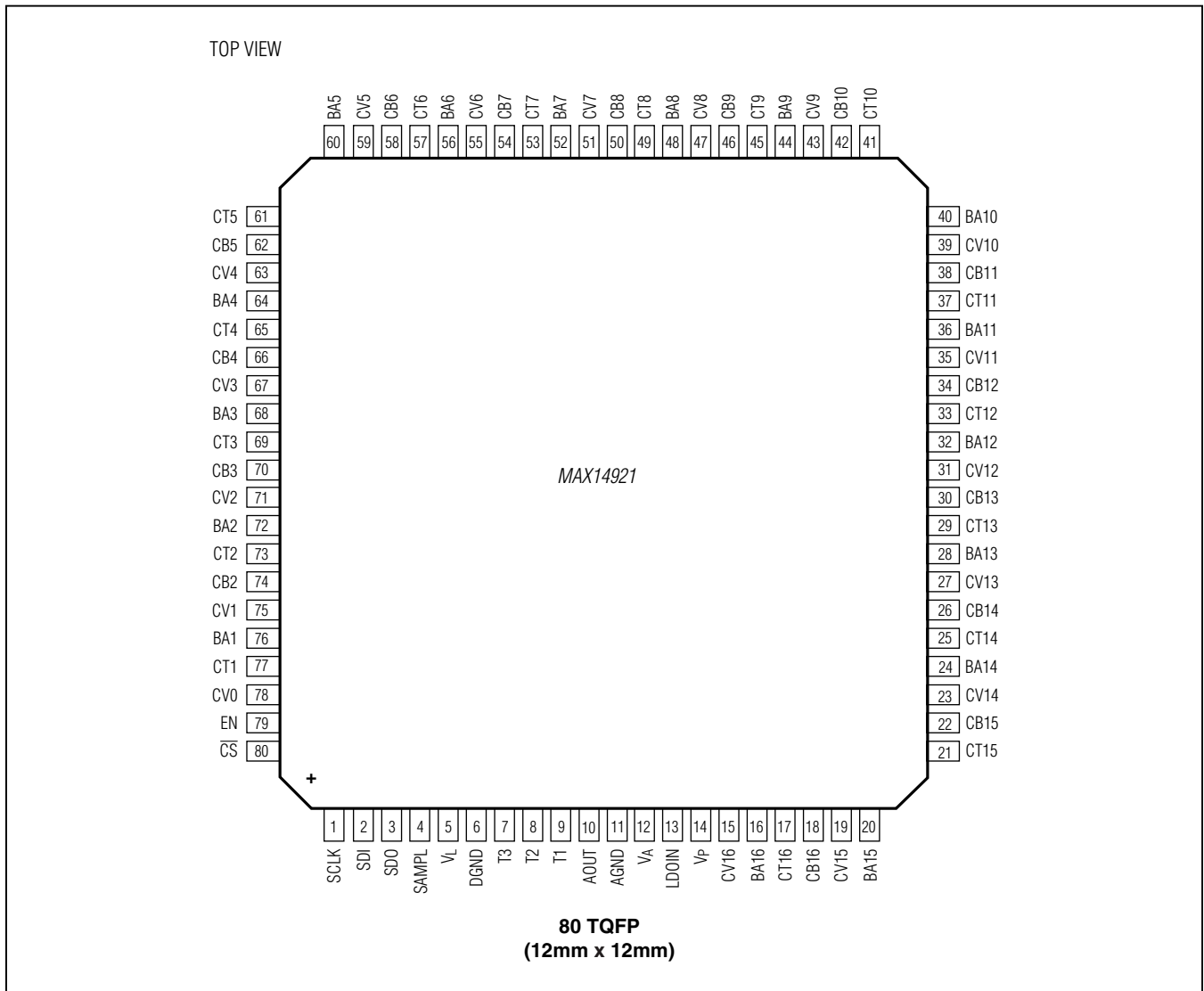
引脚配置



MAX14920/MAX14921

高精度12/16节电池测量AFE

引脚配置(续)



MAX14920/MAX14921

高精度12/16节电池测量AFE

引脚说明

引脚		名称	功能
MAX14920 (64 TQFP-EP)	MAX14921 (80 TQFP)		
1	1	SCLK	SPI时钟输入。
2	2	SDI	SPI数据线入。
3	3	SDO	SPI数据线出。
4	4	SAMPL	采样控制输入。SAMPL为逻辑高时，跟踪CV _L 输入电压；SAMPL从逻辑高跳变为逻辑低时，内部保持CV _L 差分电压，准备读取AOUT输出。
5	5	V _L	逻辑电源输入，利用0.1μF陶瓷电容将V _L 旁路至DGND，电容尽量靠近器件。
6	6	DGND	数字地。
7	7	T3	单端电压输入，T3可连接至温度传感器或其它模拟电压。
8	8	T2	单端电压输入，T2可连接至温度传感器或其它模拟电压。
9	9	T1	单端电压输入，T1可连接至温度传感器或其它模拟电压。
10	10	AOUT	放大器缓冲输出。
11	11	AGND	模拟地，AGND为低噪声接地端。将CV ₀ 连接至AGND，将DGND连接至AGND。
12	12	V _A	+5V LDO输出，利用1μF电容将V _A 旁路至AGND，电容尽量靠近器件。
13	13	LDOIN	+5V LDO电源，将LDOIN连接至V _P 使能LDO；将LDOIN连接至V _A 禁止LDO，由外部+5V电源供电。
14	14	V _P	电源，连接到电池组的最高电压。利用0.1μF电容将V _P 旁路至AGND，电容尽量靠近器件。
15	31	CV12	电池电压输入12，将CV12连接至电池阳极/阴极；如果不使用，将CV12连接至电池组的最高电压。
16	32	BA12	电池平衡栅极驱动器输出12，将BA12连接至外部n沟道FET的栅极；不使用时使BA12浮空。
17	33	CT12	采样电容12高端。SAMPL为逻辑高时，CT12内部连接至CV12，在CT12和CB12之间接1μF电容。不使用时使CT12浮空。
18	34	CB12	采样电容12低端。SAMPL为逻辑高时，CT12内部连接至CV11。在CT12和CB12之间连接1μF电容。不使用时使CB12浮空。
19	35	CV11	电池电压输入11，将CV11连接至电池阳极/阴极；如果不使用，将CV12连接至电池组的最高电压。
20	36	BA11	电池平衡栅极驱动器输出11，将BA11连接至外部n沟道FET的栅极；不使用时使BA12浮空。

MAX14920/MAX14921

高精度12/16节电池测量AFE

引脚说明(续)

引脚		名称	功能
MAX14920 (64 TQFP-EP)	MAX14921 (80 TQFP)		
21	37	CT11	采样电容11高端。SAMPL为逻辑高时，CT11内部连接至CV11，在CT11和CB11之间连接1 μ F电容。不使用时使CT11浮空。
22	38	CB11	采样电容11低端。SAMPL为逻辑高时，CB11内部连接至CV10。在CT11和CB11之间连接1 μ F电容。不使用时使CB11浮空。
23	39	CV10	电池电压输入10，将CV10连接至电池阳极/阴极；如果不使用，将CV1连接至电池组的最高电压。
24	40	BA10	电池平衡栅极驱动器输出10，将BA10连接至外部n沟道FET的栅极；不使用时使BA10浮空。
25	41	CT10	采样电容10高端。SAMPL为逻辑高时，CT10内部连接至CV10。在CT10和CB10之间连接1 μ F电容。不使用时使CT10浮空。
26	42	CB10	采样电容10低端。SAMPL为逻辑高时，CB10内部连接至CV9。在CT10和CB10之间连接1 μ F电容。不使用时使CB10浮空。
27	43	CV9	电池电压输入9，将CV9连接至电池阳极/阴极；如果不使用，将CV9连接至电池组的最高电压。
28	44	BA9	电池平衡栅极驱动器输出9，将BA9连接至外部n沟道FET的栅极；不使用时使BA9浮空。
29	45	CT9	采样电容9高端。SAMPL为逻辑高时，CT9内部连接至CV9。在CT9和CB9之间连接1 μ F电容。不使用时使CT9浮空。
30	46	CB9	采样电容9低端。SAMPL为逻辑高时，CB9内部连接至CV8。在CT9和CB9之间连接1 μ F电容。不使用时使CB9浮空。
31	47	CV8	电池电压输入8，将CV8连接至电池阳极/阴极；如果不使用，将CV8连接至电池组的最高电压。
32	48	BA8	电池平衡栅极驱动器输出8，将BA8连接至外部n沟道FET的栅极；不使用时使BA8浮空。
33	49	CT8	采样电容8高端。SAMPL为逻辑高时，CT8内部连接至CV8。在CT8和CB8之间连接1 μ F电容。不使用时使CT8浮空。
34	50	CB8	采样电容8低端。SAMPL为逻辑高时，CB8内部连接至CV7。在CT8和CB8之间连接1 μ F电容。不使用时使CB8浮空。
35	51	CV7	电池电压输入7，将CV7连接至电池阳极/阴极；如果不使用，将CV7连接至电池组的最高电压。

MAX14920/MAX14921

高精度12/16节电池测量AFE

引脚说明(续)

引脚		名称	功能
MAX14920 (64 TQFP-EP)	MAX14921 (80 TQFP)		
36	52	BA7	电池平衡栅极驱动器输出7，将BA7连接至外部n沟道FET的栅极；不使用时使BA7浮空。
37	53	CT7	采样电容7高端。SAMPL为逻辑高时，CT7内部连接至CV7。在CT7和CB7之间连接1μF电容。不使用时使CT7浮空。
38	54	CB7	采样电容7低端。SAMPL为逻辑高时，CB7内部连接至CV6。在CT7和CB7之间连接1μF电容。不使用时使CB7浮空。
39	55	CV6	电池电压输入6，将CV6连接至电池阳极/阴极；如果不使用，将CV6连接至电池组的最高电压。
40	56	BA6	电池平衡栅极驱动器输出6，将BA6连接至外部n沟道FET的栅极；不使用时使BA6浮空。
41	57	CT6	采样电容6高端。SAMPL为逻辑高时，CT6内部连接至CV6。在CT6和CB6之间连接1μF电容。不使用时使CT6浮空。
42	58	CB6	采样电容6低端。SAMPL为逻辑高时，CB6内部连接至CV7。在CT6和CB6之间连接1μF电容。不使用时使CB6浮空。
43	59	CV5	电池电压输入5，将CV5连接至电池阳极/阴极；如果不使用，将CV5连接至电池组的最高电压。
44	60	BA5	电池平衡栅极驱动器输出5，将BA5连接至外部n沟道FET的栅极；不使用时使BA5浮空。
45	61	CT5	采样电容5高端。SAMPL为逻辑高时，CT5内部连接至CV5。在CT5和CB5之间连接1μF电容。不使用时使CT5浮空。
46	62	CB5	采样电容5低端。SAMPL为逻辑高时，CB5内部连接至CV4。在CT5和CB5之间连接1μF电容。不使用时使CB5浮空。
47	63	CV4	电池电压输入4，将CV4连接至电池阳极/阴极；如果不使用，将CV4连接至电池组的最高电压。
48	64	BA4	电池平衡栅极驱动器输出4，将BA4连接至外部n沟道FET的栅极；不使用时使BA4浮空。
49	65	CT4	采样电容4高端。SAMPL为逻辑高时，CT4内部连接至CV4。在CT4和CB4之间连接1μF电容。不使用时使CT4浮空。
50	66	CB4	采样电容4低端。SAMPL为逻辑高时，CB4内部连接至CV3。在CT4和CB4之间连接1μF电容。不使用时使CB4浮空。

MAX14920/MAX14921

高精度12/16节电池测量AFE

引脚说明(续)

引脚		名称	功能
MAX14920 (64 TQFP-EP)	MAX14921 (80 TQFP)		
51	67	CV3	电池电压输入3, 将CV3连接至电池阳极/阴极; 如果不使用, 将CV3连接至电池组的最高电压。
52	68	BA3	电池平衡栅极驱动器输出3, 将BA3连接至外部n沟道FET的栅极; 不使用时使BA3浮空。
53	69	CT3	采样电容3高端。SAMPL为逻辑高时, CT3内部连接至CV3。在CT3和CB3之间连接1μF电容。不使用时使CT3浮空。
54	70	CB3	采样电容3低端。SAMPL为逻辑高时, CB3内部连接至CV2。在CT3和CB3之间连接1μF电容。不使用时使CB3浮空。
55	71	CV2	电池电压输入2, 将CV2连接至电池阳极/阴极; 如果不使用, 将CV2连接至电池组的最高电压。
56	72	BA2	电池平衡栅极驱动器输出2, 将BA2连接至外部n沟道FET的栅极; 不使用时使BA2浮空。
57	73	CT2	采样电容2高端。SAMPL为逻辑高时, CT2内部连接至CV2。在CT2和CB2之间连接1μF电容。不使用时使CT2浮空。
58	74	CB2	采样电容2低端。SAMPL为逻辑高时, CB2内部连接至CV1。在CT2和CB2之间连接1μF电容。不使用时使CB2浮空。
59	75	CV1	电池电压输入1, 将CV1连接至电池阳极/阴极;
60	76	BA1	电池平衡栅极驱动器输出1, 将BA1连接至外部n沟道FET的栅极; 不使用时使BA1浮空。
61	77	CT1	采样电容连接1高端。SAMPL为逻辑高时, CT1内部连接至CV1。在CT1和CV0之间连接1μF电容。不使用时使CT1浮空。
62	78	CV0	电池电压输入0, 将CV0连接至AGND。
63	79	EN	使能输入。将EN驱动为低电平时, 器件置于关断模式并复位SPI寄存器。关断模式下, +5V LDO保持有效。将EN驱动为高电平时, 为常规工作模式。
64	80	\overline{CS}	SPI片选输入, 低电平有效。
—	15	CV16	电池电压输入16, 将CV16连接至电池阳极/阴极; 如果不使用, 将CV16连接至电池组的最高电压。
—	16	BA16	电池平衡栅极驱动器输出16, 将BA16连接至外部n沟道FET的栅极; 不使用时使BA16浮空。
—	17	CT16	采样电容连接16高端。SAMPL为逻辑高时, CT16内部连接至CV16。在CT16和CB16之间连接1μF电容。不使用时使CT16浮空。

MAX14920/MAX14921

高精度12/16节电池测量AFE

引脚说明(续)

引脚		名称	功能
MAX14920 (64 TQFP-EP)	MAX14921 (80 TQFP)		
—	18	CB16	采样电容连接16低端。SAMPL为逻辑高时，CB16内部连接至CV15。在CT16和CB16之间连接1 μ F电容。不使用时使CB16浮空。
—	19	CV15	电池电压输入15，将CV15连接至电池阳极/阴极；如果不使用，将CV15连接至电池组的最高电压。
—	20	BA15	电池平衡栅极驱动器输出15，将BA15连接至外部n沟道FET的栅极；不使用时使BA15浮空。
—	21	CT15	采样电容连接15高端。SAMPL为逻辑高时，CT15内部连接至CV15。在CT15和CB15之间连接1 μ F电容。不使用时使CT15浮空。
—	22	CB15	采样电容连接15低端。SAMPL为逻辑高时，CB15内部连接至CV14。在CT15和CB15之间连接1 μ F电容。不使用时使CB15浮空。
—	23	CV14	电池电压输入14，将CV14连接至电池阳极/阴极；如果不使用，将CV14连接至电池组的最高电压。
—	24	BA14	电池平衡栅极驱动器输出14，将BA14连接至外部n沟道FET的栅极；不使用时使BA14浮空。
—	25	CT14	采样电容连接14高端。SAMPL为逻辑高时，CT14内部连接至CV14。在CT14和CB14之间连接1 μ F电容。不使用时使CT14浮空。
—	26	CB14	采样电容连接14低端。SAMPL为逻辑高时，CB14内部连接至CV13。在CT14和CB14之间连接1 μ F电容。不使用时使CB14浮空。
—	27	CV13	电池电压输入13，将CV13连接至电池阳极/阴极；如果不使用，将CV13连接至电池组的最高电压。
—	28	BA13	电池平衡栅极驱动器输出13，将BA13连接至外部n沟道FET的栅极；不使用时使BA13浮空。
—	29	CT13	采样电容连接13高端。SAMPL为逻辑高时，CT13内部连接至CV13。在CT13和CB13之间连接1 μ F电容。不使用时使CT13浮空。
—	30	CB13	采样电容连接13低端。SAMPL为逻辑高时，CB13内部连接至CV12。在CT13和CB13之间连接1 μ F电容。不使用时使CB13浮空。
—	—	EP	裸焊盘(仅限MAX14920)，将EP连接至AGND。

MAX14920/MAX14921

高精度12/16节电池测量AFE

详细说明

MAX14920/MAX14921模拟前端器件在多节电池测量系统中检测多达16节/+65V(最大)的主/辅电池组。器件具有高精度测量电池电压所必需的信号调理功能。两款器件均同时采样所有电池的电压,即使在负载电流瞬变条件下也可高精度确定充电状态和源阻抗。将电池电压测量结果以单位增益转换成以地为参考的电压信号,简化外部ADC的数据转换。器件通过控制外部放电FET的驱动器,实现无源电池平衡。

高精度、低失调放大器对高达+5V的差分电压进行缓冲,能够监测常用的可充电电池,例如锂离子(Li+)电池,器件的电池测量误差低于 $\pm 0.5\text{mV}$ (最大)。高精度测量特性使这款器件理想用于放电特性曲线非常平坦的电池监测,例如锂-金属磷酸盐电池。诊断功能检测开路 and 短路条件,提供过压/欠压报警。

主控制器通过SPI接口控制器件,实现电池监测功能,SPI接口支持菊链连接。两款器件可以工作在最低+6V的总电池电压(一般等效于3节电池)。

电压采样

SMPLB位置0且SAMPL输入驱动为高电平时,CTn和CBn(其中 $n = 1-12$ (MAX14920), $n = 1-16$ (MAX14921))引脚之间的电容将跟踪各节电池电压的变化(图4);SMPLB位置1且SAMPL输入跳变为低电平时,器件同时采样相应电容上的电压;SMPLB位置1或SAMPL引脚保持为低电平时,电容保持电压。当采样、保持由SAMPL输入控制时,将SMPLB位置0;当采样、保持由SMPLB位控制时,将SAMPL输入保持为高电平。

采样阶段,选择任意电池电压(ECS = 1),AOUT等于 $V_P/12$ (MAX14920)或 $V_P/16$ (MAX14921)。

可在CV_输入串联电阻,以滤除瞬变信号并/或提供保护。在计算滤波和建立时间时,要考虑 150Ω 的开关导通电阻。保持阶段,在SPI控制下可将每个电容的电压独立连接到模拟AOUT输出。

电压读取

SMPLB位置为逻辑高时,或SAMPL输入驱动为低电平时,采样开关在 $0.5\mu\text{s}$ (典型值)后打开,外部采样电容保持电压。在 $t_{LS_DELAY} < 50\mu\text{s}$ (最大)时间内,电容电压全部转换为以地为参考的电压信号。然后触发所有电池的欠压/过压监测,可在SPI控制下顺序读取电池电压。SPI控制可选择以任意顺序读取任意一节电池的电压(图5)。

ECS位置1时,根据电池选择(由SC_选择位定义),所选电池的电压出现在AOUT输出。低泄露、低噪声、低失调放大器缓冲电容电荷,并提供高精度AOUT模拟输出。建立时间 t_{SET} 之后,从CS信号的上升沿,规定精度的电压出现在AOUT。然后ADC即可采样并转换AOUT电压。由于电容放电的原因,AOUT输出电压随时间发生跌落。电压跌落 1mV 的时间长于 $t_{DROOP} (> C_{SAMPLE}/I_{CT_LEAK})$ 。

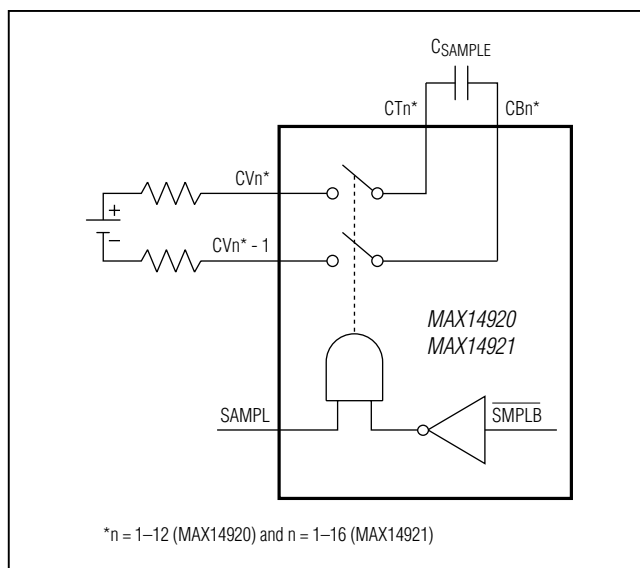


图4. 电压采样

MAX14920/MAX14921

高精度12/16节电池测量AFE

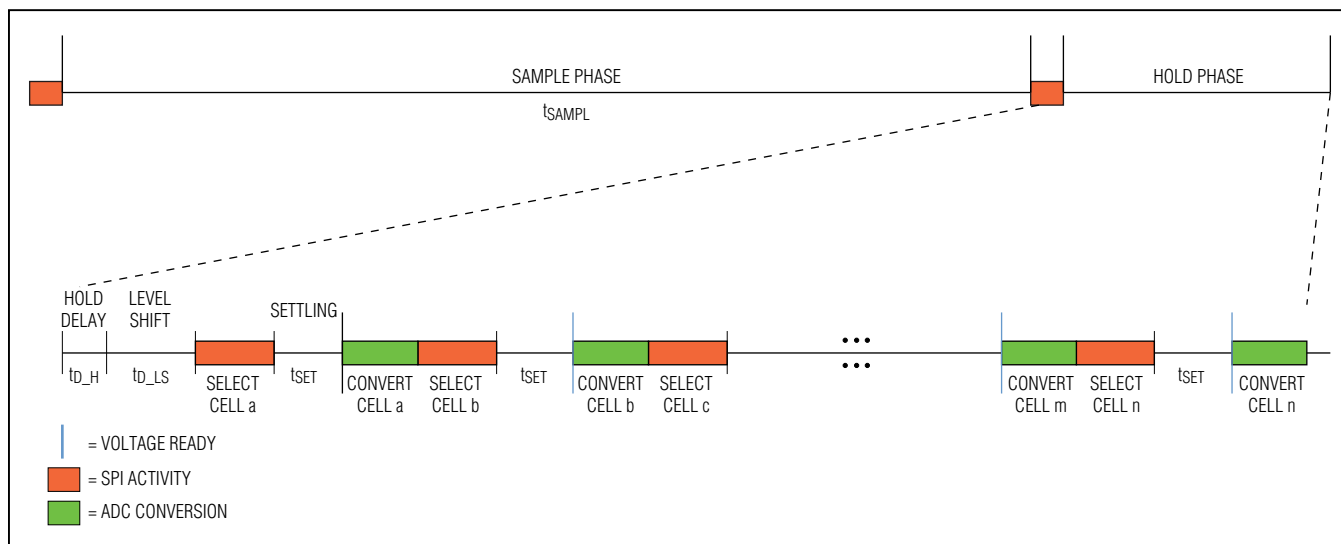


图5. SPI控制电池电压读取

测量精度

电池电压监测的精度(即AOUT电压与电池电压之差)由三个因素决定:

- 1) CT_引脚泄漏引起保持电压跌落
- 2) 内部缓冲放大器的电压误差
- 3) 电容电平转换电路的误差

CT_泄漏(1μA, 最大)电流主要来自CV_引脚, 随温度升高而增大。

采样电容的PCB泄漏忽略不计, 电压漂移误差由下式确定:

$$V_{ERR_LEAK} = \frac{I_{CT_LEAK}}{C_{SAMPLE}} \times t_{READOUT}$$

式中:

C_{SAMPLE} 为采样电容。

I_{CT_LEAK} 为CT_引脚的漏电流。

$t_{READOUT}$ 为电池电压开始保持到读取之间的延迟。

例如, 当采样电容为1μF、ADC转换速率大于20kHz时, V_{ERR_LEAK} 小于1mV。电池的共模电压较高时, 漏流较大。为降低电压随时间的漂移, 从电池组中最高电压的电池开始顺序读取电压。

缓冲放大器误差实际上不确定, 随芯片的不同而不同, 也受温度的影响。可利用内部失调校准功能消除缓冲放大器的失调误差, 在上电时自动执行校准, 也可以由SPI控制启动校准。考虑到时间漂移, 最好定期进行校准。通过校准消除缓冲放大器失调后, 缓冲器的总误差低于0.3mV。上电后, 如果器件未定期校准, 可能会产生±1.5μV/°C的温度失调漂移。

电平转换容易受CT_引脚与PCB相关的寄生电容所引起的电荷注入的影响, 会产生一定的确定性误差。电荷注入采样误差可由下式计算:

$$V_{ERR_CHARGE_INJECTION} = \frac{C_{PAR}}{C_{SAMPLE}} \times V_{CTn} \times \left(\frac{1}{1 - e^{-t_{SAMPL}/(2R_{SW} \times C_{SAMPLE})}} \right)$$

式中:

C_{PAR} 为CTn引脚的寄生电容, 其中n = 1-12 (MAX14920) 及n = 1-16 (MAX14921)。

C_{SAMPLE} 为采样电容。

R_{SW} 为采样开关电阻。

V_{CTn} 为CTn引脚相对于AGND的电压, 其中n = 1-12 (MAX14920)或n = 1-16 (MAX14921)。

t_{SAMPL} 为采样时间。

MAX14920/MAX14921

高精度12/16节电池测量AFE

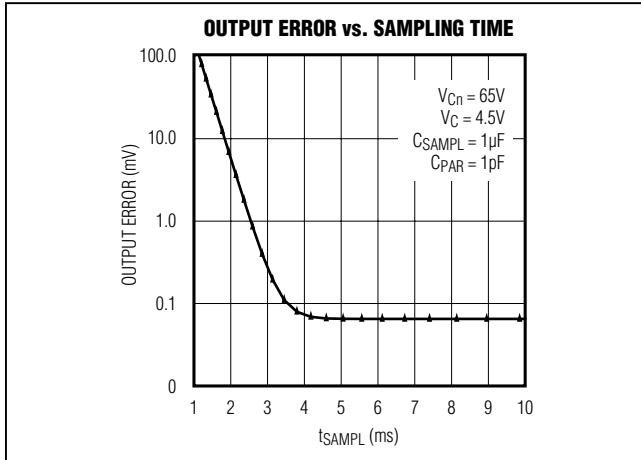


图6. 寄生电容为1pF时的电荷注入采样误差电压

图6所示为采样电容为1 μ F、寄生电容为1pF时，在最差工作条件下的电荷注入采样误差。

采样电容为1 μ F时，将CT_引脚的寄生电容降低至几皮法，足以保证输出误差小于1mV。通过增大采样电容值，进而提高采样时间，可进一步减小输出误差；

如果采样电容小于1 μ F或预计寄生电容大于15pF，也可以通过每节电池执行校准程序，将误差减小至1mV以下。从每节电池电压测量值中简单地减去每节电池的误差(见[寄生电容电荷注入误差校准](#)部分)。

寄生电容电荷注入误差校准

对连接在CV_端的所有电池进行校准。将[ECS、SC0、SC1、SC2、SC3]位置为[0、0、0、0、0]，将器件配置为寄生电容电荷注入误差校准。

采样阶段，每个电容的端子由内部校准采样开关($R_{SWCAL} = 800\Omega$ ，典型值)短接，所以，只有寄生电容被充电至电池的共模电压 V_{CTn} ，其中 $n = 1-12$ (MAX14920)及 $n = 1-16$ (MAX14921)。

随后电池电压读取顺序显示AOUT处每节电池的 $V_{ERR_CHARGE_INJECTION}$ 值，乘以128。如果 $V_{ERR_CHARGE_INJECTION}$ 大到足以影响所规定的1mV精度，校准方法提供每个CT_引脚寄生电容的测量值，微控制器即可利用该信息在读数中修正 $V_{ERR_INJECTION}$ 。

微控制器可使用校准读取电压实现不同的修正算法。一种修正电池电压的简单方法是储存校准期间获得的每个电池的ADC数据(即误差值)，除以128，从随后测得的电池电压中减去这些值。

缓冲放大器失调校准

上电时，器件自动执行自校准，以将内部缓冲器的失调电压降至最小。此外，也可在主机控制下随时校准失调电压。通过将[ECS、SC0、SC1、SC2、SC3]位置为[0、1、0、0]配置失调校准，并在采样阶段/CS由低电平跳变为高电平时启动。完成失调校准程序需要8ms，在此期间，AOUT输出为高阻态，不能进行正常的电池电压测量。然而，与其它器件通信时(例如菊链模式下)，SPI正常工作。所以，为了不影响校准，不要进行测量，使器件处于采样模式(ECS = 0，SC2 = 0，SMPLB = 0)。上电后，如果器件未定期校准，可能会产生 $\pm 1.5\mu V/^\circ C$ 的温度失调漂移。

监测12/16节以下的电池

器件可监测3节 ($V_P > +6V$)到12/16节电池($V_P < +65V$)。所监测的电池数量小于每个器件可监测的最大电池数量时，将电压包的最低电压连接到电压输入串的底部(CV0)，电池串顶部不使用的CV_输入短接在一起并连接到 V_P 。不使用的BA_、CT_和CB_引脚浮空。

读取电池组总电压

除监测个体电池电压外，器件也可监测电池组的总电压。 V_P 和AGND之间的内部电阻分压器将电池组电压进行12 (MAX14920)或16 (MAX14921)分压，快速确定电池组总电压以及所有电池的平均电压。AOUT的建立时间为60 μs 。为读取电池组的总电压，将[ECS、SC0、SC1、SC2、SC3]位置为[0、0、0、1、1]。可在采样或保持阶段读取电池组总电压。

MAX14920/MAX14921

高精度12/16节电池测量AFE

SPI串行接口

通过24位SPI接口控制器件，控制器通过SDI输入向器件发送串行数据，器件同时在SDO输出发送监测数据，这种方法允许与其它支持菊链的器件实现菊链工作，例如ADC转换器。图7所示为串行控制时序。

CB1是来自控制器的第一位，C1为器件发送到控制器的第一位。SDO数据在SCLK信号的下降沿变化，器件在SCLK的上升沿采集SDI数据。

SPI配置/控制位

配置/控制位用于使能电池均衡开关、采样和保持全部电池电压、选择电压输出的电池、选择T₊输入通道，以及使能诊断模式。表1列出了器件通过SDI从主控制器接收的配置和控制位。

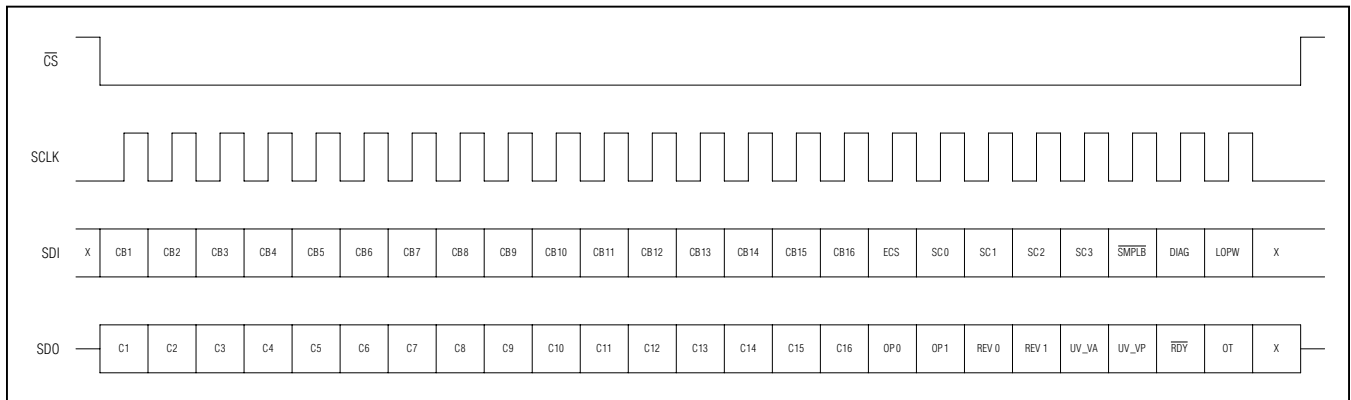


图7. SPI串行接口时序

表1. SPI配置/控制位

NAME	BITS	ACCESS	RESET	DESCRIPTION
CB1	0	W	0	0: Set BA1 output low
				1: Set BA1 output high
CB2	1	W	0	0: Set BA2 output low
				1: Set BA2 output high
CB3	2	W	0	0: Set BA3 output low
				1: Set BA3 output high
CB4	3	W	0	0: Set BA4 output low
				1: Set BA4 output high
CB5	4	W	0	0: Set BA5 output low
				1: Set BA5 output high
CB6	5	W	0	0: Set BA6 output low
				1: Set BA6 output high
CB7	6	W	0	0: Set BA7 output low
				1: Set BA7 output high
CB8	7	W	0	0: Set BA8 output low
				1: Set BA8 output high

MAX14920/MAX14921

高精度12/16节电池测量AFE

表1. SPI配置/控制位(续)

NAME	BITS	ACCESS	RESET	DESCRIPTION
CB9	8	R/W	0	0: Set BA9 output low
				1: Set BA9 output high
CB10	9	R/W	0	0: Set BA10 output low
				1: Set BA10 output high
CB11	10	R/W	0	0: Set BA11 output low
				1: Set BA11 output high
CB12*	11	R/W	0	0: Set BA12 output low
				1: Set BA12 output high
CB13*	12	R/W	0	0: Set BA13 output low
				1: Set BA13 output high
CB14*	13	R/W	0	0: Set BA14 output low
				1: Set BA14 output high
CB15*	14	R/W	0	0: Set BA15 output low
				1: Set BA15 output high
CB16*	15	R/W	0	0: Set BA16 output low
				1: Set BA16 output high
ECS	16	R/W	0	0: Cell selection is disabled
				1: Cell selection is enabled
SC0	17	R/W	0	<p>[ECS, SC0, SC1, SC2, SC3] 1 – SC0, SC1, SC2, SC3: Selects the cell for voltage readout during hold phase.** The selected cell voltage is routed to AOUT after the rising \overline{CS} edge. See Table 2. 0 – 0, 0, 0, 0: AOUT is three-stated and sampling switches are configured for parasitic capacitance error calibration. 0 – 1, 0, 0, 0: AOUT is three-stated and self-calibration of buffer amplifier offset voltage is initiated after the following rising \overline{CS}. 0 – SC0, SC1, 0, 1: Switches the T1, T2. T2 analog inputs directly to AOUT. See Table 3. 0 – 0, 0, 1, 1: VP/12 (MAX14920) or VP/16 (MAX14921) voltage is routed to AOUT on the next rising \overline{CS}. 0 – SC0, SC1, 1, 1: Routes and buffers the T1, T2. T3 to AOUT. See Table 3.</p>
SC1	18	R/W	0	
SC2	19	R/W	0	
SC3	20	R/W	0	
\overline{SMPLB}	21	R/W	0	0: Device in sample phase if SAMPL input is logic-high
				1: Device in hold phase
DIAG	22	R/W	0	0: Normal operation
				1: Diagnostic enable, 10 μ A leakage is sunk on all CV_ inputs (CV0–CV16).
LOPW	23	R/W	0	0: Normal operation
				1: Low-power mode enabled. Current into LDOIN is reduced to 125 μ A. Current into VP is reduced to 1 μ A.

*MAX14920不提供, 将该位设置为0或1不影响MAX14920工作。

**对于MAX14920, 如果 $n > 12$, $V_{AOUT} = 0V$ 。

MAX14920/MAX14921

高精度12/16节电池测量AFE

表2. 电池选择

CELL	SC0	SC1	SC2	SC3
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1
12	1	1	0	1
13*	0	0	1	1
14*	1	0	1	1
15*	0	1	1	1
16*	1	1	1	1

* 仅限MAX14921。

表3. 模拟输入选择

T_	SC0	SC1
T1	1	0
T2	0	1
T3	1	1

MAX14920/MAX14921

高精度12/16节电池测量AFE

SPI监测位

监测位提供过压条件和热关断反馈，以及指示器件在上电后是否就绪，表4中列出了器件通过SDO发送至主控制器的诊断/监测位。

灵活的逻辑接口

串行/并行逻辑控制接口的逻辑电平可在+1.62V (最小)至+5.5V (最大)范围内定义，施加至V_L引脚的电压定义逻辑电平。选择与控制器及ADC的I/O逻辑电平相匹配的V_L电压。

表4. SPI监测位

NAME	BITS	ACCESS	DESCRIPTION
C1	0	R	1: During hold phase if cell 1 voltage is below UV_VCVTH or above VA
C2	1	R	1: During hold phase if cell 2 voltage is below UV_VCVTH or above VA
C3	2	R	1: During hold phase if cell 3 voltage is below UV_VCVTH or above VA
C4	3	R	1: During hold phase if cell 4 voltage is below UV_VCVTH or above VA
C5	4	R	1: During hold phase if cell 5 voltage is below UV_VCVTH or above VA
C6	5	R	1: During hold phase if cell 6 voltage is below UV_VCVTH or above VA
C7	6	R	1: During hold phase if cell 7 voltage is below UV_VCVTH or above VA
C8	7	R	1: During hold phase if cell 8 voltage is below UV_VCVTH or above VA
C9	8	R	1: During hold phase if cell 9 voltage is below UV_VCVTH or above VA
C10	9	R	1: During hold phase if cell 10 voltage is below UV_VCVTH or above VA
C11	10	R	1: During hold phase if cell 11 voltage is below UV_VCVTH or above VA
C12*	11	R	1: During hold phase if cell 12 voltage is below UV_VCVTH or above VA
C13*	12	R	1: During hold phase if cell 13 voltage is below UV_VCVTH or above VA
C14*	13	R	1: During hold phase if cell 14 voltage is below UV_VCVTH or above VA
C15*	14	R	1: During hold phase if cell 15 voltage is below UV_VCVTH or above VA
C16*	15	R	1: During hold phase if cell 16 voltage is below UV_VCVTH or above VA
OP0	16	R	Product identifying bits MAX14921 (OP0 = 0, OP1 = 0)
OP1	17	R	MAX14920 (OP0 = 1, OP1 = 0)
REV0	18	R	Die version
REV1	19	R	MAX14920/MAX14921 version bits
UV_VA	20	R	1: VA is below UV_VAVTH
UV_VP	21	R	1: VP is below UV_VPVTH. If LOPW = 1, VP UVLO circuit is disabled and this bit is always set to 1
$\overline{\text{RDY}}$	22	R	1: Device is not ready to operate (power-up phase or buffer amplifier is in self-calibration procedure)
OT	23	R	1: Device is in thermal shutdown

*MAX14920不提供，将该位设置为0或1不影响MAX14920工作。

MAX14920/MAX14921

高精度12/16节电池测量AFE

线性稳压器

内部线性稳压器使用LDOIN作为输入电压，将VA输出稳定在+5V ±5%，负载电流为10mA (最大)。LDOIN高于+5.5V时，自动使能LDO。内部LDO具有短路保护，电流限值高于14mA (22mA，典型值)。可使用外部+5V稳压器代替内部稳压器。使用外部+5V稳压器时，LDOIN必须连接至VA。

热保护

器件具有热关断功能，防止过热条件。热关断模式下，LDO、放大器和电荷平衡电路停止工作，SPI接口正常工作。

关断模式

通过LOPW位，可将器件置于低功耗关断模式，内部LDO保持有效，但关闭放大器工作，使VP供电电流下降至1μA (最大)。

模拟/温度输入

T1、T2和T3输入为单端、以CV0为参考的通用模拟输入，多路复用至AOUT或通过缓冲器连接至AOUT (图8)。这些输入可用于连接温度传感器或电流监测器。

复用器和开关的总串联电阻小于200Ω。如果流至AOUT输出的负载电流较高，导致电压源和/或串联通路的串联电阻引起较大的误差，可使用缓冲放大器提高精度。

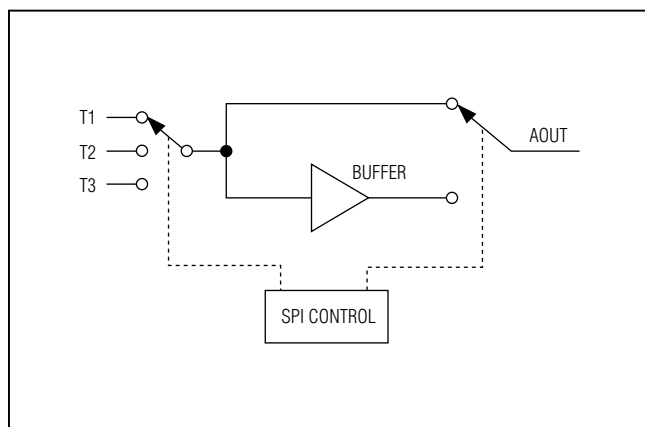


图8. 模拟/温度测量

通过将SPI位[ECS、SC0、SC1、SC2、SC3]置为[0、b、a、1、1]，使T_输入通过缓冲器连接至AOUT；通过将[ECS、SC0、SC1、SC2、SC3]位置为[0、b、a、0、1]，使T_输入直接连接至AOUT输出。a和b位用于选择三路T_输入之一或使AOUT输出为三态。

将AOUT输出设置为三态

AOUT输出可为三态，与其它外部信号源共用该引脚，例如其它温度传感器。使用ECS和SC_位将AOUT输出设置为三态。

电池均衡

可连接低压、增强型n沟道FET，用于电池的无源平衡。选择 V_T 低于 V_{BAH} 的低导通电阻FET。通过漏极限流电阻将FET连接在每个电池的阳极和阴极之间(图9)。

可通过SPI控制使能电池均衡FET。内部600Ω (典型值)/900Ω (最大值)下拉电阻确保FET为常闭。开启平衡功能时，从 CV_n 吸收5μA漏电流。此外，产生10mA (最大)内部平衡电流，从 CV_n 流入 CV_{n-1} ，其中 $n = 1-12$ (MAX14920) 及 $n = 1-16$ (MAX14921)。考虑芯片耗散功率时，应计入电池均衡期间内部电流产生的功耗。

诊断

器件集成的诊断功能允许检测线路之间的短路以及 CV_n 引脚的开路条件。

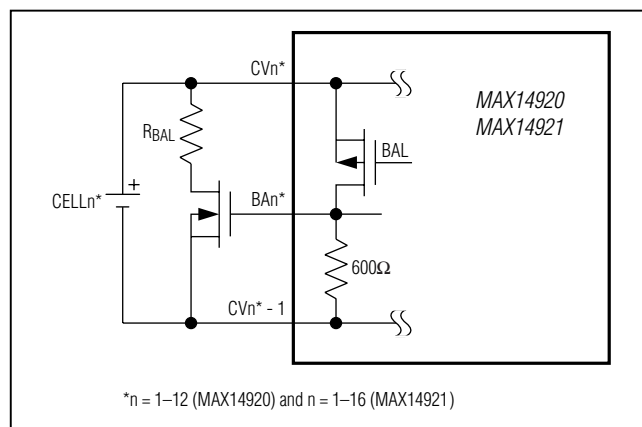


图9. 电荷平衡

MAX14920/MAX14921

高精度12/16节电池测量AFE

正常工作期间可检测电池连接之间的短路，电池读数电压约为0V或 V_A ，取决于发生短路的位置。发生短路时，必须限制流入/出引脚的最大电流，避免过压，包括外部元件(平衡FET和采样电容)。

有两种方法可检测 CV_n 输入和电池之间的开路状态：

第一种开路检测方法：

在采样阶段将DIAG位置1，这将向 CV_n 输入施加10 μ A的漏电流。如果 CV_n 浮空，漏电流开始对采样电容放电至 $CV_n - 1$ ，摆率为 $I_{LEAK}/C_{SAMPLPE}$ ($\sim 10\mu A/1\mu F = 100mV/10ms$)。如果发生开路，两次连续读数将显示电池电压发生明显变化。也可以等待约300ms至500ms的采样时间，将电池电压降低至 UV_VCVTH 门限电压以下。

第一种开路检测方法的步骤：

- 将DIAG位置1
- 在保持阶段之前等待0.5s以上
- 在SPI控制下读取 C_n 位或 CV_n 电压，其中 $n = 1-12$ (MAX14920)及 $n = 1-16$ (MAX14921)

第二种开路检测方法：

为了检查单点开路连接，更快的方法是在采样阶段仅使能所选电池的平衡FET，然后读取所选电池的电压。如果 CV_n 浮空，平衡FET快速(时间取决于使用平衡电阻)将 CV_n 短路至 $CV_n - 1$ ，读数为 $\sim 0V$ 或 CV_n ， $CV_n + 1$ 电压高于 V_A 。

第二种开路检测方法的步骤：

- 将BAn位置1
- 在保持阶段之前等待时间 $R_{BAL} \times C_{SAMPLE}$
- 将 CV_n 电压连接至AOUT
- 对所有电池重复该过程

在此期间，电容和外部FET需要承受等于 $V_{CV_n} - V_{CV_{n-1}}$ 的电压，其中 $n = 1-12$ (MAX14920)或 $n = 1-16$ (MAX14921)。

输入电压箝位

器件具有内部ESD保护二极管，故障条件下可将输入电压箝位至AGND以下或 V_P 以上(CV_n ，其中 $n > 1$)，或者6V (CV_1)。将串联电阻(R_{LIM})连接至输入，以限制故障条件下通过正偏二极管的电流(图10)。选择限流电阻，将输入电流限制在 I_{CV_n} (最大) = 10mA。当未测量的另一通道发生电压箝位时，需要计算故障电流引起的附加功耗。必须正确选择采样电容和平衡FET，或者采用外部电压箝位，以免受此类事件的损害。

电源排序

V_A 和 V_L 电源相互之间能够以任何顺序加电，也独立于 V_P 及电源 CV_n 输入。 V_P 电压必须连接到电池组的最高电压。

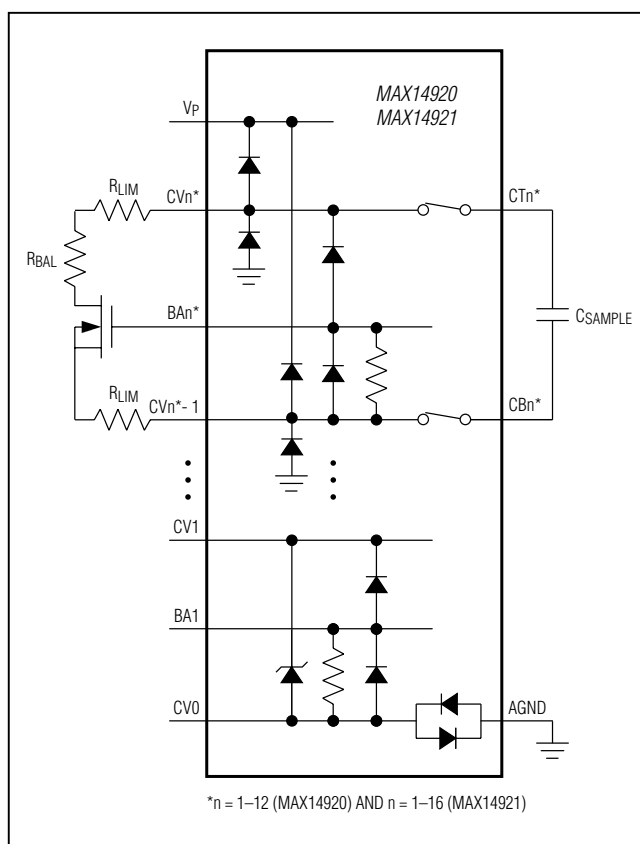


图10. 输入电压箝位

MAX14920/MAX14921

高精度12/16节电池测量AFE

应用信息

采样速率与电容选择

为降低误差或支持高采样速率，建议使用1 μ F电容，采样和保持时间为5ms左右。如果采用1 μ F电容及良好的PCB布局，通常不需要电荷注入误差修正。

如果工作在较高/较低的采样速率，可减小/增大电池连接的采样电容/串联电阻。

CT_和CB_端之间连接电池采样电容影响：

- 工作速度
- 电池读数精度

采样电容值越小，其RC时间常数越低，所以充电时间越快。因此，对于较高的工作速度，可选择较小的电容值。

有一种应用情况是已知电池电压在连续两次采样之间变化很小，此时由于采样阶段只需补充电容在上次电平转换和保持阶段损失的电荷，包括电池电压的较小变化，可以使用较小的采样电容。关于如何计算这两种因素造成的压降，请参见[测量精度](#)部分。例如，如果使用大约100nF的采样电容既满足要求时，采样周期可缩短10倍。如果使用这种方法，在初始上电后的初始采样时间，采用较长的时间，允许已放电的采样电容充电至电池电压；或者取消初始采样，直到监测电压稳定到最终的电池电压。

电容值对精度的影响取决于电池电压保持阶段的放电以及电平转换期间引入的误差(之前已对两者进行了介绍)。通过在保持阶段加快读取电池电压的速度，可以减小放电。注意，由于最后一节电池在读取之前需要保持较长的延迟时间，受放电的影响最大。电容值较小时，电平转换引起

的电荷注入误差较大。低电容布局和电平转换补偿均可减小此类误差。

典型应用电路

[图11](#)所示为基于16位ADC以及高精度电压基准的精密测量应用。内部线性稳压器用于提供V_A (+5V)，使用SAMPL输入控制电池电压的采样、保持时间。热敏电阻连接至T1、T2和T3输入，以监测三路温度。

如果可接受较低的绝对测量精度，可使用内置基准的ADC，例如MAX11163。在精度不是特别关键的应用中，微控制器的内部ADC即可满足要求。

多电池组应用

如果需要监测12/16节以上的电池，可采用多个电池组堆叠的方法，每组电池数量不必相同。器件可监测最小+6V电压或3节电池。

在堆叠电池组应用中，采样信号可由公共信号集中控制以确保同时采样，或者通过SPI启动采样/保持。两组彼此堆叠在一起的电池组可通过SPI或其它通信接口互连。电池组可具有内部控制器，或者由一个公共控制器控制多个电池组。内部控制器自主进行校准和测量，允许外部控制器根据需要收集数据。这种方法如[图12](#)所示。为了在不同共模电压的电池组之间转换通信信号，需要使用光隔离器、数字隔离器或数字地电平转换器([图12](#))。

布局考虑

使采样电容的PCB走线尽量短，将电容引脚和接地区域之间的寄生电容降至最小。

MAX14920/MAX14921

高精度12/16节电池测量AFE

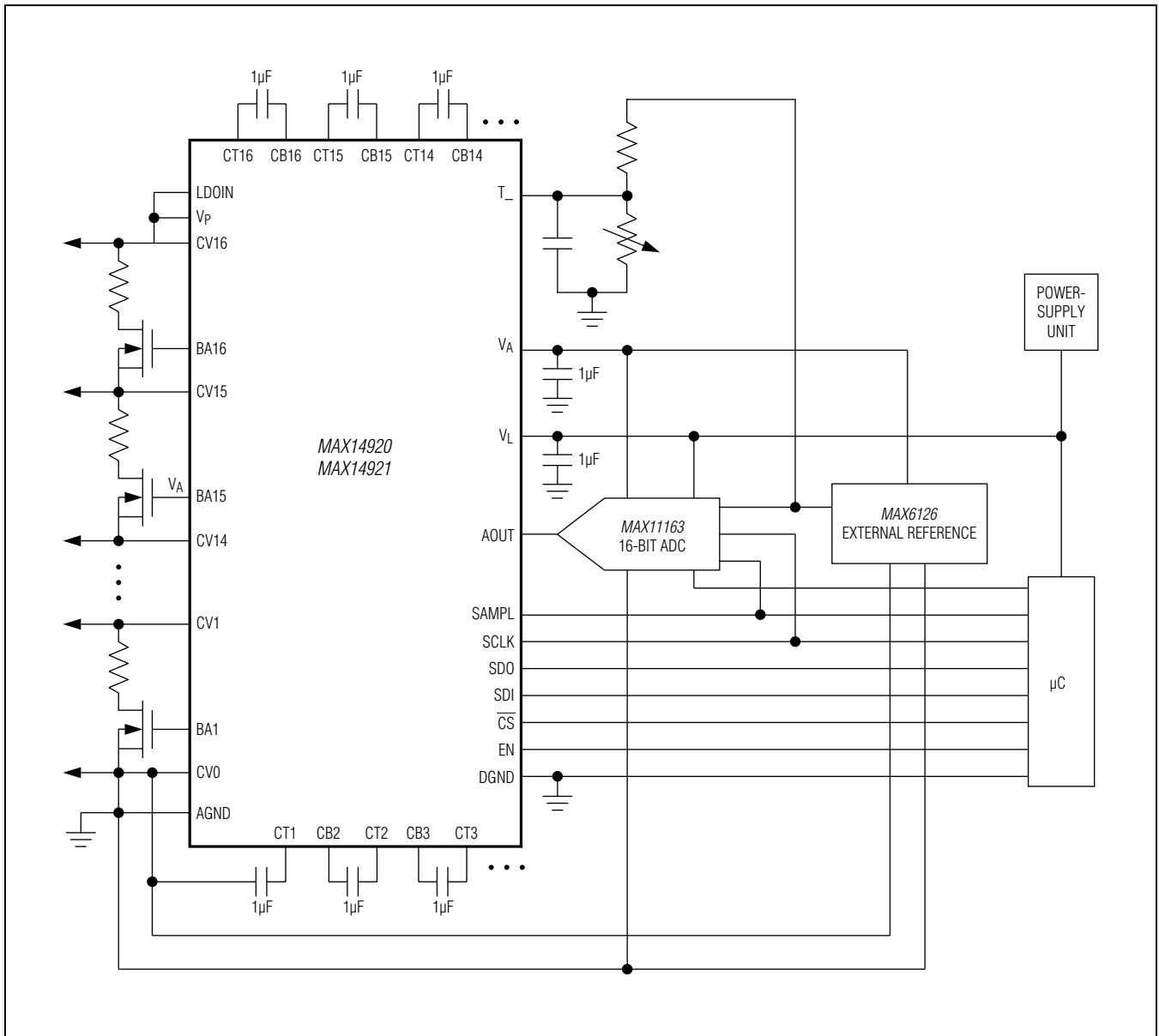


图11. 典型应用电路

MAX14920/MAX14921

高精度12/16节电池测量AFE

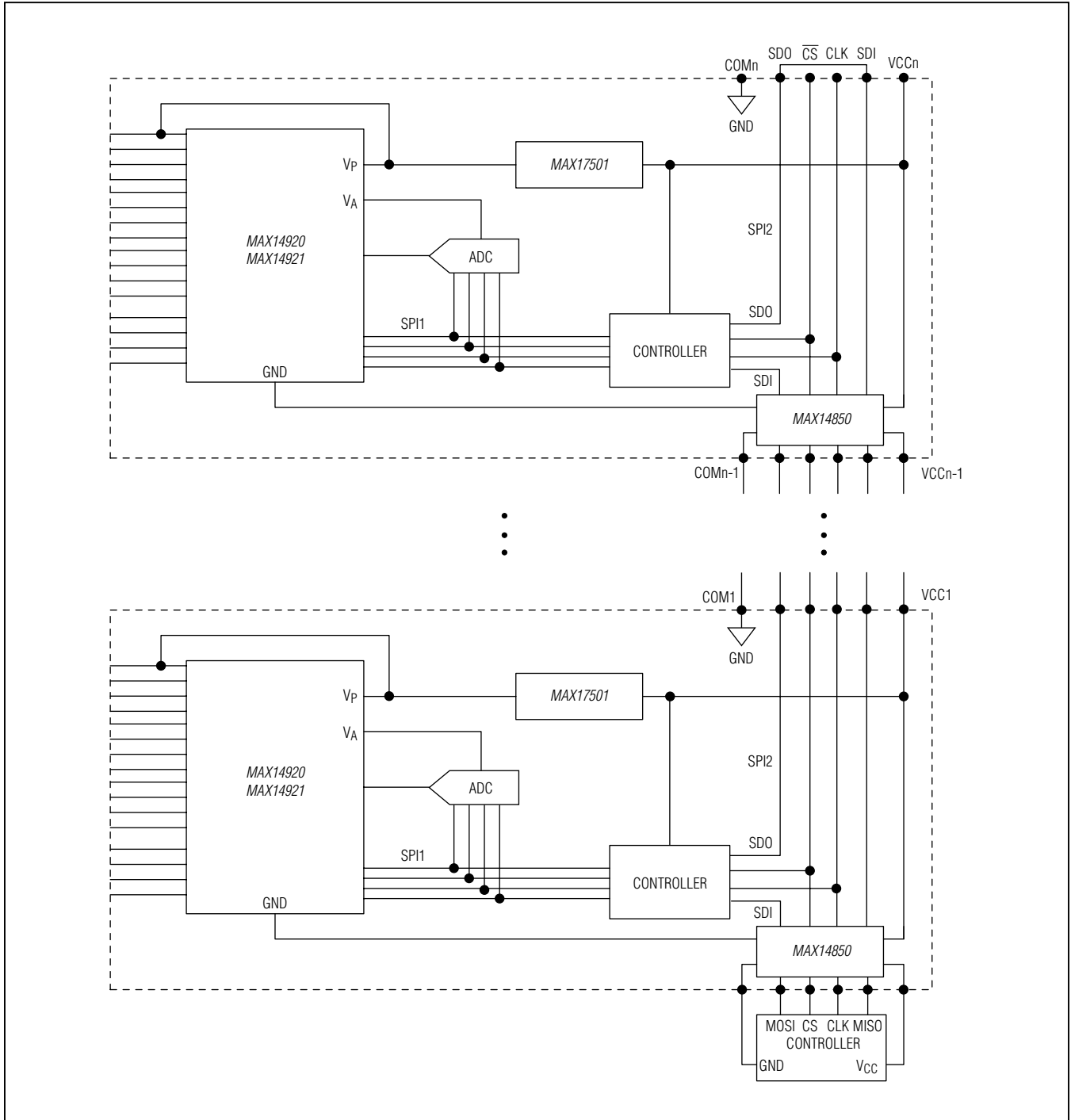
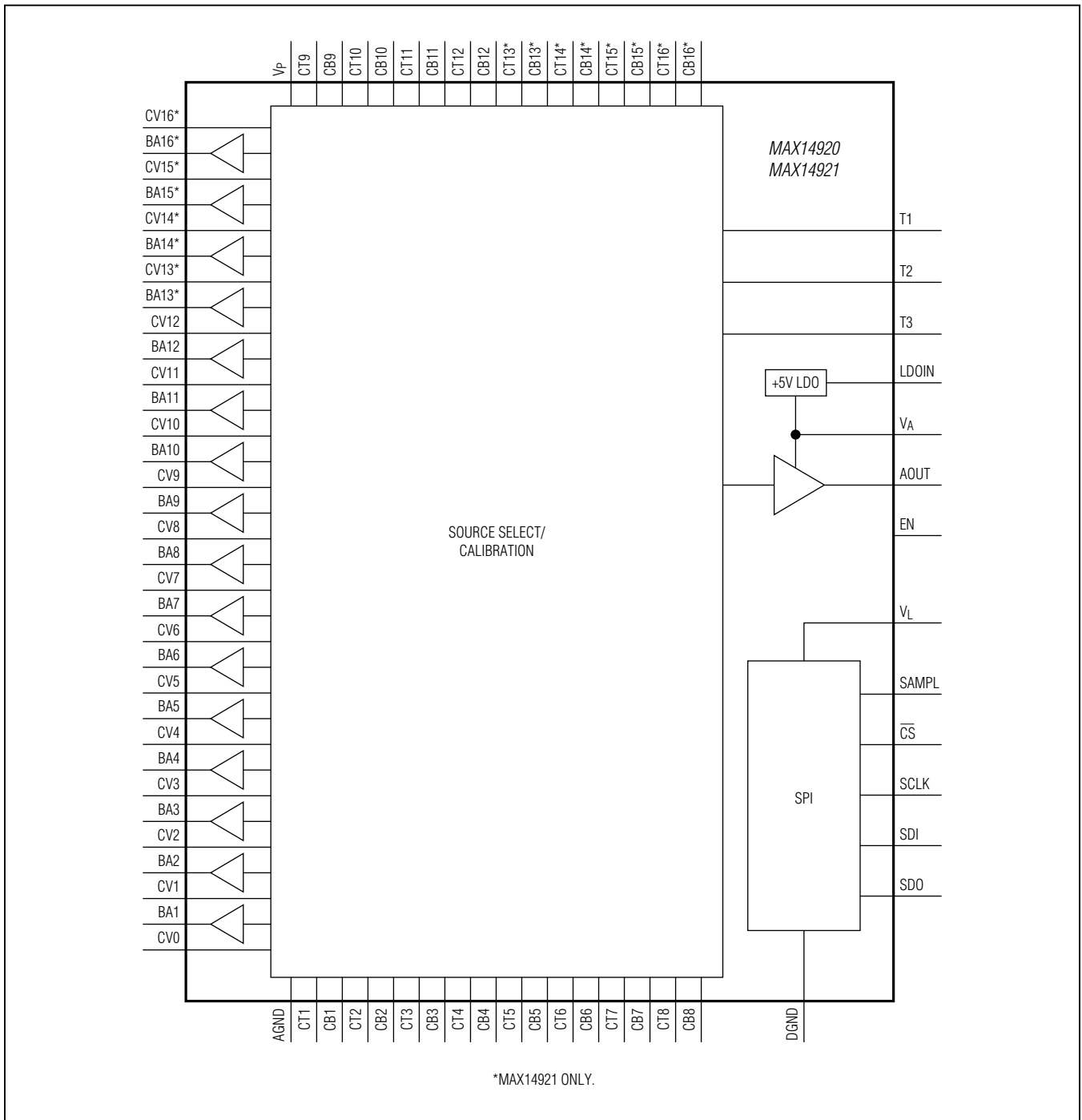


图12. 基于菊花链SPI的堆叠电池组应用框图

MAX14920/MAX14921

高精度12/16节电池测量AFE

功能框图



MAX14920/MAX14921

高精度12/16节电池测量AFE

订购信息

器件	电池	温度范围	引脚-封装
MAX14920ECB+	12	-40°C至+85°C	64 TQFP-EP*
MAX14921ECS+	16	-40°C至+85°C	80 TQFP

+表示无铅(Pb)/符合RoHS标准的封装。

*EP = 裸焊盘。

芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积), 请查询china.maximintegrated.com/packages。请注意, 封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
64 TQFP-EP	C64E+10	21-0084	90-0329
80 TQFP	C80+1	21-0072	—

MAX14920/MAX14921

高精度12/16节电池测量AFE

修订历史

修订号	修订日期	说明	修改页
0	10/12	最初版本。	—
1	2/13	删除了MAX14920的未来产品星号标志。	28

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

29

© 2013 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。